

SERVICES D'ELECTRONIQUE DE SACLAY

Section d'Assistance Electronique Générale

(SES/SEG/R-75-36)

Nomenclature Programme : 0140

1915

Saclay, le 26 mai 1975

2. Ispra nuclear electronics symposium. Sresa  
(Italy), 20-23 May 1975

CONTROLEUR AUTONOME JCAM-10 POUR CHASSIS CAMAC

AVEC MICROPROCESSEUR 8080 (INTEL)

par

Pierre GALLICE

SES/INT/SEG/75-129

## RESUME

Ce module contrôleur autonome de châssis "CAMAC" est réalisé à partir d'un circuit microprocesseur INTEL 8080 associé à des mémoires RAM et REPROM.

L'organisation du tiroir, qui est décrite ici, a été conçue de façon à optimiser les échanges entre les modules "CAMAC" et la mémoire. On dispose ainsi, d'un micro-ordinateur dont la gamme de périphériques comprend les 1000 modules "CAMAC" disponibles sur le marché mondial.

## ABSTRACT

The CAMAC crate autonomous controller JCAM-10 is designed around an INTEL 8080 microprocessor in association with a RAM and REPROM memory.

This paper describes the concept of the module, in which data transfers between CAMAC modules and the memory are optimized. In fact, the JCAM-10 is a microcomputer with a set of 1000 peripheral units represented by the CAMAC modules commercially available.

## 1 - INTRODUCTION

Associant la souplesse d'utilisation du système modulaire international CAMAC à la puissance des circuits intégrés microprocesseurs, le module "Contrôleur Autonome de châssis JCAM 10 avec microprocesseur incorporé" permet de constituer, dans un châssis CAMAC, des petits systèmes d'acquisition et de traitement automatiques de données, ou de contrôle commande industriels, avec des tiroirs à choisir parmi les 1000 modules CAMAC disponibles sur le marché mondial.

Conçu autour d'un microprocesseur INTEL 8080 associé à des mémoires RAM et REPR0M, ce module 3/25e est en fait l'unité centrale d'un microordinateur dont le bus d'entrée/sortie/accès mémoire est l'Interconnexion de châssis CAMAC. Ses caractéristiques techniques, son prix en font un élément intéressant qui se compare favorablement avec les ensembles miniordinateurs interface CAMAC, commercialement disponibles.

## 2 - UTILISATION (figure 1)

La grande variété des modules CAMAC (entrées/sorties logiques, CAN, CNA, centrales de mesures, échelles de comptage, éléments de couplage à des périphériques conventionnels ou spéciaux, etc...) permet l'utilisation de ce module dans de nombreuses applications générales, nucléaires, médicales ou industrielles, etc... chaque fois que la modularité, la comptabilité et l'indépendance commerciale des éléments CAMAC sont une solution à des critères de choix tels que facilité d'ingénierie, d'évolution et de maintenance des systèmes automatiques.

.../...

Assurant les fonctions suivantes :

- gestion de l'installation à partir d'un programme enregistré en mémoire reprogrammable ou vive,
- calculs simples effectués sur les valeurs acquises,
- édition des résultats sur une imprimante TTY ou tout autre périphérique relié à un module CAMAC,
- transfert d'informations de module à module CAMAC permettant d'accroître les possibilités du système,

Le module JCAM 10 est surtout utilisé comme unité centrale de petits systèmes monochâssis CAMAC auxquels il confère une autonomie totale.

Il peut également être utilisé dans des systèmes distribués plus importants, pour lesquels le châssis CAMAC est un terminal "intelligent" connecté à l'ordinateur central par une liaison asynchrone ou une liaison rapide.

Il peut être aussi utilisé par l'électronicien comme unité de commande pour la mise au point des modules et des programmes, ou la maintenance des systèmes CAMAC.

Naturellement, pour bénéficier de toute la souplesse de son utilisation, un outil logiciel (langage évolué) sera nécessaire pour faciliter la programmation par l'utilisateur.

### 3 - CONSTITUTION DU MODULE JCAM 10

Le JCAM 10 est un module 3/25e CAMAC enfiché à la place du contrôleur de châssis. Il comprend essentiellement :

- un circuit intégré microprocesseur INTEL 8080 et sa logique associée,
- des circuits de liaison à l'interconnexion de châssis CAMAC,
- des circuits de traitement prioritaire des interruptions,
- un coupleur asynchrone fonctionnant de 110 à 19 200 bauds.

La panneau avant comporte, outre les 2 clés d'initialisation et d'interruption console, un commutateur à 16 positions permettant le choix de différents programmes préenregistrés.

Les voyants et clés de contrôle habituelles des consoles opérateurs sont reportés sur un module annexe utilisé lors de la mise au point des programmes.

.../...

#### 4 - RAPPELS SUR LE MICROPROCESSEUR INTEL 8080 ET LE SYSTEME CAMAC

---

##### 4.1 - Le microprocesseur INTEL 8080

Rappelons brièvement que le microprocesseur INTEL 8080 est un circuit intégré MOS canal N en boîtier DIL 40 broches, comprenant une unité centrale dont les caractéristiques principales sont les suivantes :

- format d'adressage mémoire : 16 bits,
- format des données : 8 bits,
- cycle de base : 0,5  $\mu$ s - Durée des instructions :  
2 à 8,5  $\mu$ s,
- 10 registres dont :
  - . un accumulateur 8 bits et 4 indicateurs (Z, S, C, P),
  - . 6 registres de travail ou d'adressage (BC, DE, HL),
  - . 2 registres de gestion de la mémoire (compteur ordinal et pointeur de pile),
- 8 niveaux d'interruptions à branchement automatique,
- 256 entrées/sorties possibles,
- accès direct mémoire possible,
- 74 instructions.

La mise en oeuvre de ce circuit nécessite au minimum une dizaine de circuits intégrés complexes, en plus de la mémoire. Les raisons de notre choix en faveur du circuit INTEL 8080 sont :

- sa disponibilité commerciale au début de l'étude,
- ses performances voisines de celles des miniordinateurs actuellement commercialisés.

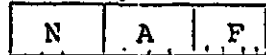
##### 4.2 - Le système CAMAC

Rappelons aussi qu'un système CAMAC, dans sa version minimale est constitué d'un châssis 19" comportant un bus d'interconnexion à 86 contacts, normalisé à l'échelle internationale, dans lequel peuvent s'enficher 25 modules. La gestion des échanges numériques sur ce bus est assurée par un module dit "contrôleur de châssis", normalement relié par une interface à un ordinateur qui permet ainsi :

- l'exécution d'un ordre par un module CAMAC,
- le transfert d'une information numérique d'un module CAMAC dans l'ordinateur (lecture CAMAC) ou réciproquement (écriture CAMAC),
- le test de l'état interne d'un module.

Les formats des échanges sont :

- 14 bits pour l'instruction CAMAC :
  - . N = adresse du module (5 bits),
  - . A = sous adresse d'un élément dans le module (4 bits),
  - . F = opération à exécuter à l'adresse NA (5 bits);



- 24 bits d'information numérique,
- 2 bits d'états Q (réponse au test)  
X (alarme).

De plus les modules CAMAC peuvent émettre individuellement un signal d'interruption dit appel CAMAC ou LAM.

## 5 - ORGANISATION DU MODULE JCAM 10 (figure 2)

### 5.1 - Critères d'organisation

Les objectifs fixés pour le module étant essentiellement :

- l'autonomie conférée au châssis CAMAC,
- l'optimisation des échanges d'informations et la simplicité de mise en oeuvre.

Les critères d'organisation qui en découlent sont les suivants :

- utilisation de l'interconnexion CAMAC comme bus d'E/S,
- facilité et souplesse de programmation des ordres CAMAC,
- rapidité d'exécution des ordres CAMAC et en particulier des échanges mémoire - modules CAMAC,
- optimisation de la recherche et du traitement des appels,
- incorporation d'un coupleur asynchrone pour l'imprimante de service,
- facilité de mise en oeuvre et protection des programmes par mémoire reprogrammable.

.../...

## 5.2 - Transmission de NAF

Le critère de facilité et de souplesse de programmation des ordres CAMAC, ainsi que le surdimensionnement du format d'adressage mémoire du microprocesseur nous ont conduits à utiliser directement 14 des 16 bits d'adresse mémoire pour transmettre l'instruction NAF CAMAC en neutralisant 16 K d'adresses mémoire parmi les 64 K (2<sup>16</sup>) possibles.

Ainsi toute instruction du type 

1	1	F	N	A
---	---	---	---	---

 comprenant dans sa partie adresse les 2 bits poids forts, c'est-à-dire s'adressant à la zone mémoire inexistante d'adresse hexadécimale C000 à FFFF aura pour effet :

- de charger le registre NAF d'instruction CAMAC avec les 14 bits de poids faibles de l'adresse mémoire émise par le 8080,
- d'exécuter le cycle CAMAC si ce NAF représente un ordre ou un test CAMAC (bit F8 = 1).

## 5.3 - Transmission des informations

Le 2ème critère, rapidité d'exécution des échanges d'informations entre le module CAMAC et la mémoire, nous a conduits à organiser une partie de celle-ci en mémoire vive à double format. A cet effet, cette zone se comporte soit comme une mémoire de 1 K 24 bits (format CAMAC) connectée directement et en parallèle aux lignes information R/W de l'Interconnexion de châssis, soit en mémoire de 3 K 8 bits raccordée alors au bus 8 bits données du microprocesseur. La commutation de format est faite simplement par changement de l'adresse de référence mémoire.

Ainsi une information de 24 bits sera échangée entre un module CAMAC, désigné par le contenu du registre NAF, et une position mémoire, par une simple instruction de référence mémoire adressée à la "page" dont la longueur du mot est de 24 bits (par exemple en 1400 (16) ).

Le sens du transfert est déterminé par le bit F16 significatif de lecture ou écriture CAMAC.

Lors de la phase traitement de données, ce mot de 24 bits sera échangé entre la mémoire et l'unité centrale 8080 par 3 instructions de référence mémoire adressée successivement dans les pages "poids forts" (1400 - 1 K = 1000) "poids moyens" (1400 - 2 K = 0C00) et "poids faibles" (1400 - 3 K = 0800).

.../...

Ceci permet de considérer le JCAM 10 comme une unité centrale CAMAC à double adressage permettant des transferts entre mémoire et modules CAMAC en 2 instructions 8080 seulement, du type :

- REFMEM < NAF > (changement du registre NAF)
- REFMEM < Adresse mémoire 24 bits > (exécution du cycle CAMAC et transfert mémoire).

De plus, selon la nature de l'instruction utilisée (M → A ou A → M), on introduira ou non dans l'accumulateur A les 2 bits d'état Q et X, reçus en réponse à l'ordre CAMAC, qui pourront ainsi être testés immédiatement.

#### 5.4 - Organisation de la mémoire (figure 3)

En complément à cette zone mémoire, le module JCAM 10 comprend une 2<sup>ème</sup> zone dite mémoire programme, elle-même constituée de 2 parties :

- 2 K octets de mémoire vive (RAM) au début de laquelle 64 octets sont réservés pour le traitement immédiat des 8 niveaux d'interruption à branchement automatique. On placera généralement la pile de sauvegarde de contexte machine immédiatement derrière cette zone. En cas de débordement de celle-ci une interruption d'alarme est émise.
- 2 K octets de mémoire reprogrammable (REPROM). Cette zone recevra les programmes non effaçables.

A l'initialisation, le compteur ordinal est positionné automatiquement au début de cette zone.

Evidemment, la mémoire données peut aussi être utilisée totalement ou partiellement, comme mémoire programme adressée par octet.

Ainsi physiquement, le module JCAM 10 comprend 7 K octets mémoire ; il utilise  $7 + 1 + 16 = 24$  K d'adresses. Restent donc 40 K octets disponibles pour les extensions mémoires, pouvant être reliées au JCAM 10 par un bus indépendant de l'interconnexion de châssis CAMAC.

.../...



### 5.5 - Circuit d'interruption

Le critère d'optimisation de recherche et de traitement des appels CAMAC nous a conduits à incorporer au JCAM 10 un circuit de hiérarchisation et de masquage individuel des 8 niveaux d'interruption admissible par le 8080. On dispose ainsi de :

- 2 niveaux d'alarmes : débordement de pile et absence de réponse X CAMAC,
- 4 niveaux CAMAC dont :
  - . 2 niveaux dits prioritaires, ne pouvant recevoir qu'un seul appel CAMAC,
  - . 1 niveau de lecture de configuration d'appels pouvant recevoir 8 appels,
  - . 1 niveau général, recevant les autres appels CAMAC qui seront reconnus par tests programmés,
  - . 1 niveau interruption console,
  - . 1 niveau télétype.

Ainsi 5 à 10  $\mu$ s après l'émission d'un appel CAMAC prioritaire, le compteur ordinal "pointera" sur la zone mémoire réservée au traitement immédiat de ce niveau.

### 5.6 - Circuits annexes

Le module JCAM 10 comprend en outre :

- un circuit coupleur asynchrone fonctionnant de 110 à 19 200 bauds , permettant une liaison directe avec une télétype, une console de visualisation ou une entrée asynchrone d'ordinateur,
- des circuits d'émission des signaux CAMAC spéciaux (initialisation Z, remise à zéro générale C, inhibition I) et de lecture de la position du commutateur numéro de programme situé sur le panneau avant,
- des circuits permettant de relire le contexte du module en cas d'interruption.

Tous ces éléments, y compris la mémoire sont regroupés sur 3 cartes CAMAC.

.../...

## 6 - PRINCIPES DE PROGRAMMATION

### 6.1 - Instructions microprocesseur

Les 74 instructions du microprocesseur INTEL 8080 sont utilisables dans le JCAM 10 :

- chargement immédiat ou transfert entre registres  $Lr_1r_2$  avec  $r = A, B, C, D, E, H, L$  ou  $M$ ),
- instructions arithmétiques ou logiques simple longueur :  $(r \pm 1, A \pm r, A \oplus r, \bar{A})$  ou double longueur :  $(r_1r_2 \pm 1, HL \pm r_1r_2)$ ,
- sauvegarde (et restitution) des registres double longueur dans la pile de la mémoire centrale,
- branchement ou appel de sous programmes et retour, inconditionnels ou conditionnels sur les 4 indicateurs  $Z, C, S, P$ ,
- transfert d'un octet entre l'accumulateur A et la mémoire, en adressage immédiat, indirect sur HL ou étendu à partir des 3 couples de registres  $BC, DE$  et  $HL$ ,
- entrées/sorties et masquage général des interruptions.

### 6.2 - Programmation CAMAC

Un ordre CAMAC étant représenté par une adresse mémoire et la mémoire donnée étant en communication directe avec les lignes R/W, on peut :

- exécuter des ordres définis :
  - . en valeur immédiate,
  - . par leur adresse de rangement,
- échanger des informations entre un module CAMAC et une position mémoire définie par :
  - . une adresse absolue,
  - . une adresse indirecte éventuellement indexée.

Les instructions machine seront du type :

ou  $\left. \begin{array}{l} \text{MAI} < 11 \text{ FNA} > \\ \text{AMI} < 11 \text{ FNA} > \end{array} \right\}$  qui assurent normalement le transfert de A vers la mémoire d'adresse NAF ici inexistante.

.../...

On utilisera également des instructions d'indirection telles que :

HLM < RANGT > : chargement des registres HL avec le contenu de la mémoire RANGT

LMr : transfert théorique du registre r vers la mémoire adressée par HL.

RANGT DC2 < 11 FNA >

Ces instructions n'auront aucun effet sur le processeur, mais chargeront le registre NAF. Les mêmes instructions accompagnées d'une adresse correspondant à la page 24 bits effectueront le transfert des informations CAMAC.

Ainsi :

F		N				A		
11	1 1 0 0 0	0 0 0 0 1	0 0 0 0					
F	Ø	1				Ø		

MAI/FØ1Ø

ou AMI/FØ1Ø

exécuteront l'ordre CAMAC  $N_1 A_0 F_{24}$ .

Les différentes opérations CAMAC sont représentées dans le tableau page 10.

.../...

PROGRAMMATION DES OPERATIONS CAMAC

Commande CAMAC	Adressage NAF	Adressage Inform.	Programmation	Mém. (octets)	Durée (µs)
Ordre	Valeur	-	MAI < 11 FNA > ou AMI < 11 FNA >	3	7
	Indirect	-	HLM <ALPHA> LrM ALPHA DC2 <11 FNA>	5	13
	Préchargé (bloc program.)	-	LrM	1	4,5
Test	Valeur (ou indirect)		AMI < 11 FNA > RRC JFC < Q = 0 >	7	14
Lecture Ecriture	Valeur	Immédiat	MAI < 11 FNA > MAI < INFO >	6	14
	Indirect	Immédiat	HLM <ALPHA> LrM MAI <INFO> ALPHA DC2 <11 FNA>	9	12
	Indirect	Indirect	HLM <ALPHA> LrM HLM <RANGT> LrM ALPHA DC2 <11 FNA> RANGT DC2 <INFO>	12	24

### 6.3 - Instructions de service

Ce sont des instructions d'entrée/sortie classiques microprocesseur. Elles concernent :

- les échanges avec la télétype : mots de commande, d'état et informations,
- l'état du châssis CAMAC et commandes Z, C, I (Q, X),
- le positionnement et la lecture du masque d'interruption,
- la lecture de la configuration des appels regroupés sur le niveau CAMAC n° 3,
- la lecture de la position du commutateur n° de programme,
- la lecture du registre NAF (pour sauvegarde).

### 6.4 - Logiciel

Le logiciel actuellement disponible comprend :

- un assembleur écrit en FORTRAN et fonctionnant sur l'IBM 360 de la CISI,
- un moniteur d'exploitation TTY (1KREPRO) permettant le chargement d'un ruban binaire exploitable à partir du lecteur TTY ou d'un module CAMAC lecteur rapide, la mise au point et l'exécution des programmes, ainsi que la génération d'un ruban BNPF pour la programmation des mémoires REPRO.

Nous disposerons prochainement d'un assembleur local et nous commençons l'étude d'un compilateur genre BASIC permettant une programmation très simple, par l'utilisateur, avec des temps d'exécution compatibles avec une exploitation en temps réel.

## 7 - DEVELOPPEMENTS COMPLEMENTAIRES

A côté de la réalisation du logiciel système sur lequel nous faisons porter notre effort principal, notre programme d'étude actuellement en cours, prévoit la construction de modules CAMAC d'utilisation générale permettant d'accroître la capacité et les performances du système : extensions mémoire RAM (16 K) ou REPRO, module canal permettant l'accès direct mémoire multiplexé en simultanéité avec le programme, module coupleur de disque souple compatible, module de programmation de mémoire REPRO ainsi qu'un module permettant au JCAM 10 de gérer plusieurs châssis CAMAC.

.../...

## 8 - CONCLUSION

Le contrôleur autonome de châssis CAMAC à microprocesseur incorporé JCAM 10 constitue un organe de gestion CAMAC dont la mise en oeuvre est très simple tant au niveau de l'ingénierie que de l'utilisation. Assurant l'autonomie du châssis CAMAC, il permet la réalisation rapide d'installations automatiques destinées aux laboratoires scientifiques, industriels ou médicaux en rassemblant deux "outils" intéressants :

- le microprocesseur INTEL 8080, dont les performances sont voisines de celles des unités centrales des miniordinateurs actuellement commercialisés,
- le système CAMAC, qui met à la portée des utilisateurs une gamme importante de périphériques "compatibles", distribuée sur le marché mondial.

# BLOC DIAGRAMME JCAM-10

