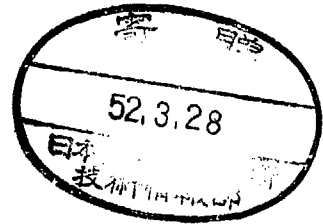


INS-TL-132

ファーストスローロジックシステム



川 島 英 雄

1977.3.5.

東京大学原子核研究所

口情

A fast-slow logic system

Abstract

A fast-slow logic system has been made for use in multi-detector experiments in nuclear physics such as particle-gamma and particle-particle coincidence experiments. The system consists of a fast logic system and a slow logic system. The fast logic system has a function of fast coincidences and provides timing signals for the slow logic system. The slow logic system has a function of slow coincidences and a routing control of input analog signals to the ADCs.

FAST-SLOW LOGIC SYSTEM

序 ここに報告するFAST SLOW LOGIC SYSTEMはSFサイクロトロンでの核実験に於いて多くの検出器を用いて行うPartiel-gamma coincidenceやPartiel-Partiel coincidenceなどに使用する為に製作したもので機能はFAST系とSLOW系に分れていてFAST系はFAST COINCIDENCEとTIMING CONTROL, SLOW系はSLOW COINCIDENCEとROUTERである。又、TTL ICを用いて簡単に小型に製作してある。

1 FAST LOGIC

INPUTはA, B, C, D, とEの5ブロックがありA, B, C, Dを便宜上P, Eを γ とするこのブロックごとに4入力があり夫々BNCコネクタで受ける。

このPの1 EVENTと γ の1 EVENTがCOINCIDENCEした時COINCIDENCE OUTが出る。

出力としてはこの外ブロックごとに1 EVENT (ONLY - 1), ≥ 2 EVENT, OR 又, P (A, B, C, D)を一括してALL 1 EVENT, ALL 2 EVENT, ALL ORがあり, SLOW LOGICのTIMING CONTROL用にSLOWのSIGNALが出ている (Fig 1)

INPUT SIGNALは負極性で立上り5 ns 巾10 ns 波高1.5V以上あれば動作するこれはTTL IC (ショットキー) を使用している為である。

FAST DISCRI, FAST COINからのINPUT SIGNALは通常0.7~0.8V (50 Ω 負荷) であるのでFAST LOGICの前にFAST AMPを入れてある。

(Fig 2.3)

回路構成

INPUT SIGNALはU.Vで巾20 ns に整形されPの各ブロック及び γ のブロック及び γ のブロックに入りそれぞれ1 EVENT (ONLY - 1), ≥ 2 EVENT, OR が出力され, その後P (A, B, C, D)の1 EVENTはFに入り, 又Eの1 EVENTはFから出力されたものをCOINCIDENCEされる。次いで, 整形回路を通してFAST

COIN OUT及びSLOW用TIMING CONTROLが前面パネルに出ている。

(Fig 4.5i, 5ii, 5iii)

このSLOW用PULSEは巾約1 μ s DECAPY 0.4~2.2 μ s が可変出来正極性である
1 EVENT, ≥ 2 EVENT, ORはそれぞれ次のような時に出る

1 EVENT

4入力に対して只一つのSIGNALがあった時、したがって ALL 1 EVENTは
入力最大16に対して只一つのSIGNALがあった時に出力される。

≥ 2 EVENT

2つ以上の入力が入って来た時

OR

入力があれば必ず出る。 OR = 1 EVEN + ≥ 2 EVENT

このSYSTEMの特長である。1 EVENT (ONLY-1) 回路の検出は次のように行
う。

Fig. 6でA, B, C, Dを入力とする。

$$\begin{aligned} Y &= (A'B'+A'B) \cdot (C'D'+C'D)' + (A'B'+A'B)' \cdot (C'D'+C'D) \\ &= (A'B'+A'B)' \cdot (C'D'+C'D) + (A'B'+A'B) \cdot (C'D'+C'D) \\ &= A'B'CD + A'BCD + A'B'CD' + A'BCD' + ABCD + ABCD' + A'BCD' + A'BCD \end{aligned}$$

整理して

$$(A'B'CD'+A'BCD'+A'BCD'+A'BCD) + (ABCD'+ABC'D+AB'CD+AB'CD) \quad \dots(1)$$

これでわかるように入力は1か3の時に出る。

そこで3入力と消去する為Xを入れると、

$X = (AB+CD)'$ ここで実際にABのある時は(Dは意味がなくその時はYは0
同様にCDのある時はABはY=0であるからやはり無意味である。

(1)をみて

ABC'D'の場合(ABCが入力の場合)XでのCD=0

$$(ABC'D') \cdot (AB)' = 0$$

同様に

$$(A B C' D)(A B)' = 0$$

$$(A B' C D)(C D)' = 0$$

$$(A' B C D)(C D)' = 0$$

∴ 3入力は消去され、入力が1の場合に出る。

以上は計算であるが、図でもわかるように、

- 1 入力の場合 A,B,C,Dはどこに入っても出力される。
- 2 " A,BがC,Dに入った場合はZ 1かZ 4が出ない従ってZ 8に出ない。
- 2 " A,Cに入った場合Z 1, Z 4は出るがZ 7は出ない。
- ⋮
- 3 入力の場合A,B,Cに入った場合Z 4に出力されZ 7も出るがZ 6に INHIBITが
入ってZ 8は出力されない。
- ⋮
- 4 入力の場合 Z 1, Z 4, ともに出ない従ってZ 8に出ない。

実際の回路では同時に来たかどうかの判定やZ 8での時間合せにコンデンサーやDELAY
LINEを使って補しようしている 同時に来たかどうかの判定は～15nsである。

ICはTTL SN74S型を使用しているので内部DELAY は3～15ns 程度である
したがって入力からFAST COIN OUTまでは約70 nsである。

FAST系のモニター用の各ブロックのONLY-1, 2 EVENT, OR 等は負極性
で巾も30 ns程度の為スケーラーに入らないので、NIM 2巾で作ってある FAST
-SLOW LEVEL CONVERTERを通してゐる。

II SLOW LOGIC

入力数はA,B,C,D の4ブロックに4入力があるそれとFAST LOGIC からの
TIMING CONTROLが1入力ある。コネクターはすべてBNCである。

又、ADCのDEAD TIMEからBUSY SIGNAL を受けてADC及びCPU (T
-40)がBUSYの場合入力信号が入らないようになっている (後面マルチコネクタで

入っている。)

入力波形は正極性で1.5V以上0.2 μ s以上で動作する。

通常SCAかDISCRIの出力を入れるのでこれは満足される。

前面パネルにロータリースイッチでMODE切換えスイッチがあり、1P-7, 2MULTI, 3SINGLEを使用に応じてSETする。

この外前面パネルにはP-7 COIN, AB or AC, AB or BC, AC or BC の各 COIN OUTがBNCで出ている。

INDICATERとしてLED (発光ダイオード) がBITモードで点滅するようになっている (Fig. 7)

回路構成 (Fig. 8, 9)

FAST LOGICと同様UVで1 μ sに整形されたPULSEはONLY-1回路を通してMEMORYのCLOCK PULSEになる (例 Fig. 9でZ21の4, 13PIN) 又、これと同時にUVを通して、ダイオードでBITに変換されたPULSEはMEMORYの入りになりCLOCK PULSEでSETされその状態が出力に保持され (Z21の16, 15, 10, 9) MULTI CONNECTORを通してADCに送られる。

次のSIGNALが入るまで保持されている。

入力とINDICATERとの関係

A	ブロックの1	に入力が入ると	2 ⁰	のLEDが灯く。
"	2	"	2 ¹	"
"	3	"	2 ⁰ 2 ¹	"
"	4	"		LEDが消える。

入力とADCとの関係

A	ブロックは	ADCのA
B	"	ADCのB
C	"	ADCのC

製作した時にはADCを3台だけを使用するつもりであったので現在DブロックのSIGNALはADCのDには接続されていない。

ADCを4領域に分けて使用する。例えば4000CHPHAとして使う場合

A	ブロックの1	に入	った	SIGNAL	で	ADC-A	の	1000	~	2000	CH
"	2	"	"	"	"	"	"	2000	~	3000	CH
"	3	"	"	"	"	"	"	3000	~	4000	CH
"	4	"	"	"	"	"	"	0	~	1000	CH

注意すべきことは、1000CH DATAがSIFTすることでこれは入力1に入った時に2⁰BITが起ってADCのROUTER BITが動作して1000CHずれる為である又、Aブロックの4に入った場合ROUTER BITが出ない為にTRUE EVENTであるかNOISEであるかの区別をする為に、GATE SIGNALを作りADCのGATEに入れる。この外にBIT SIGNALの入力があるが、現在使用していない（振分け区別が4領域である為）のでBIT SWITCHはOFFで使用

MODE SELECT

i P- γ COINCIDENCE

A, B, Cの3ブロックを使用、これに後面パネルにあるSWITCH (P-8, P-4)を切り変えて使用する。

P-8の場合 A, BブロックをP, Cブロックを γ として8入力のONLY I, 4入力のONLY-1のCOIN (Z27を通す)してFAST TIMINGからのCONTROL, SIGでメモリーをSetする。

P-4の場合 AブロックをP, Bブロックを γ としてCブロックはANTICOIN 或いはP- γ などのモニターに使用する。

この使い分けはDETECTORの数などによりUSERが決める。

ii MULTI-COINCIDENCE

実際はDUAL MULTIPLE-COINCIDENCEでA, B, Cの3ブロックのみ使用

ADC, AにはABのCOIN又はACのCOINが入るようになっているが前述のように現在は2BITSまでしかADCに接続していないのでACのCOINの振分けは行えない。

iii SINGLE

これはA, B, C, Dのそれぞれが独立に単に振分けを行う。

ただし、Dは未だ使用不能（ケーブル未結線）

- AブロックはADC-A
- B " はADC-B
- C " はADC-C
- (D " はADC-D)

IIとIIIはFAST LOGICとは無関係である。

SLOW LOGICでのTIME DECAYはほぼ次のようになっている。

INPUT → ONLY-1 OUT ~ 120 ns, 250 ns
" → MEMORY OUT ~ 180 ns, 300 ns
" → GATE OUT ~ 200 ns 320 ns

↑ ↑

P-4の場合 P-8の場合

SINGLEの場合、MULTI-COINの場合は数10 ns DECAYが少ない。

■ 使用する時の手順

- i 電源はFAST LOGICとSLOW LOGICとも共通でFAST LOGICのBOXに内蔵している。これを電源コードでつないでいるので（通常は接続してある）確かめる。
- ii BUSY用ケーブル（BNC-BNC）をADCの後側から中継パネルにつなぐ。
ADC側ではDEAD TIMEとなっている。
- iii GATE SIGNAL（中継パネルの前側にBNCで出ている）をADCのGATEに入れる。
ADCをCOINにSWITCHする。
- iv ADC CONTROLLERの下側のパッチボードのCONNECTORをそれぞれ1024+2BITS 或いは512CH+2BITSに入れかえる。
- v ROUTER OUTのMULTI-CONNECTORが中継パネルを通してT-40側に接がっているかどうか確かめる。通常は接がっている。
これ迄はどこから行ってもよい。

- vi 電源SWはFAST LOGICのBOXの後側にあるのでそれを入れる。
- vii MODE SWを所定の位置にして、入力の位置(A-1, 2, 3, 等)を変えてLEDの灯く位置が一致しているかどうか確かめる。
- viii 入力を入れTIMINGを合せる。
この時GATE SIGNALは、ADCの入力(ANALOG SIGNAL)のPEAK値に対して0.5 μ s 先行しているとよい。

電源は+5VでFAST LOGIC \rightarrow 1.1A, SLOW LOGICは0.9Aの電流消費である。

このSYSTEMを使用しての実験はいくつか行われたが順調に機能を発揮している。

最後にこのSYSTEMの製作にあたって協力して下さった八巻電機製作所の八巻氏に多大な感謝します。

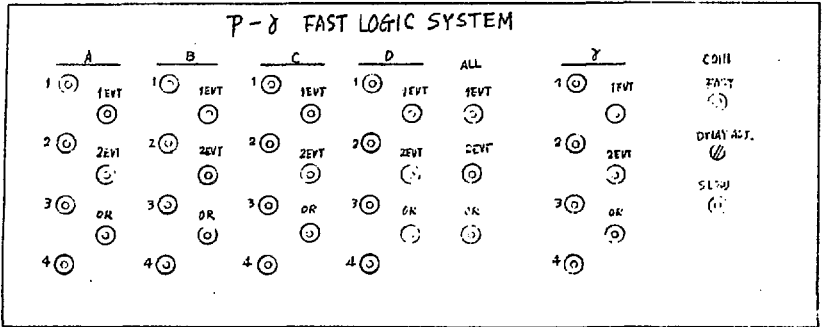


Fig. 1 P-7 Fast logic system Front panel

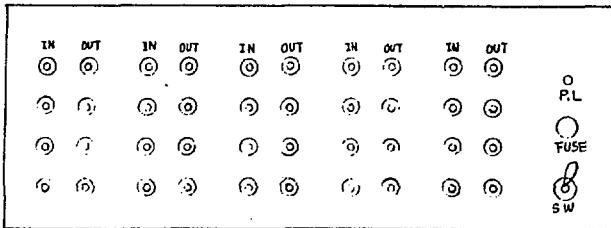


Fig. 2 Fast Amp Logic system Front panel

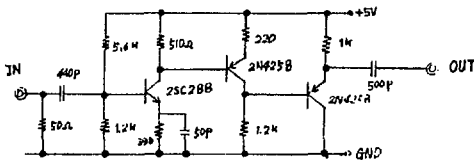


Fig. 3 Fast Amp 回路图

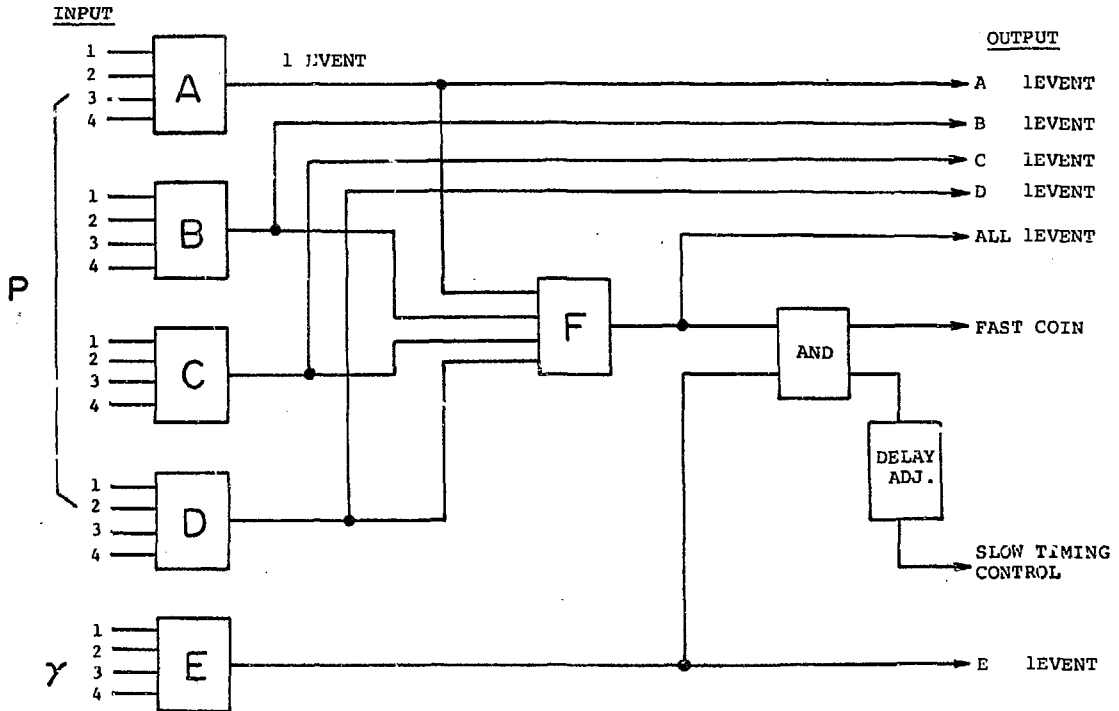
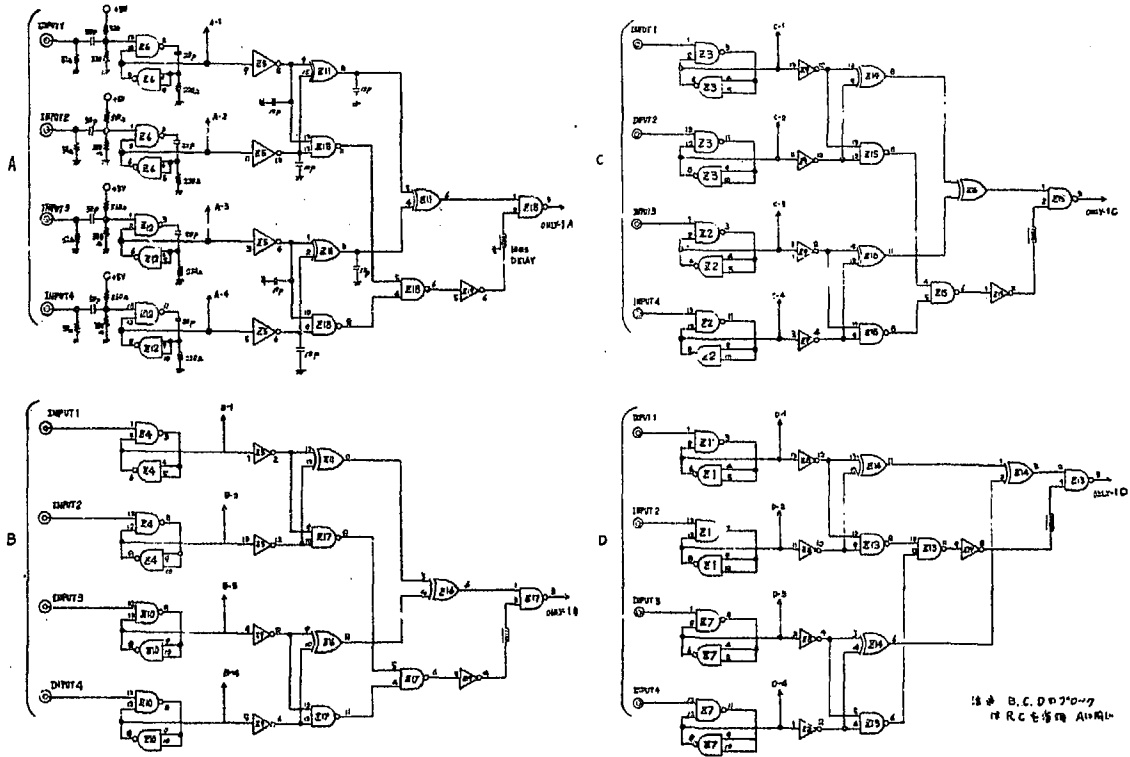


Fig. 4 Fast logic system block diagram

FAST LOGIC IC 結線圖

P-1



注: B, C, D 均用 R-C 延遲器 A 均用

Fig. 5 (i)

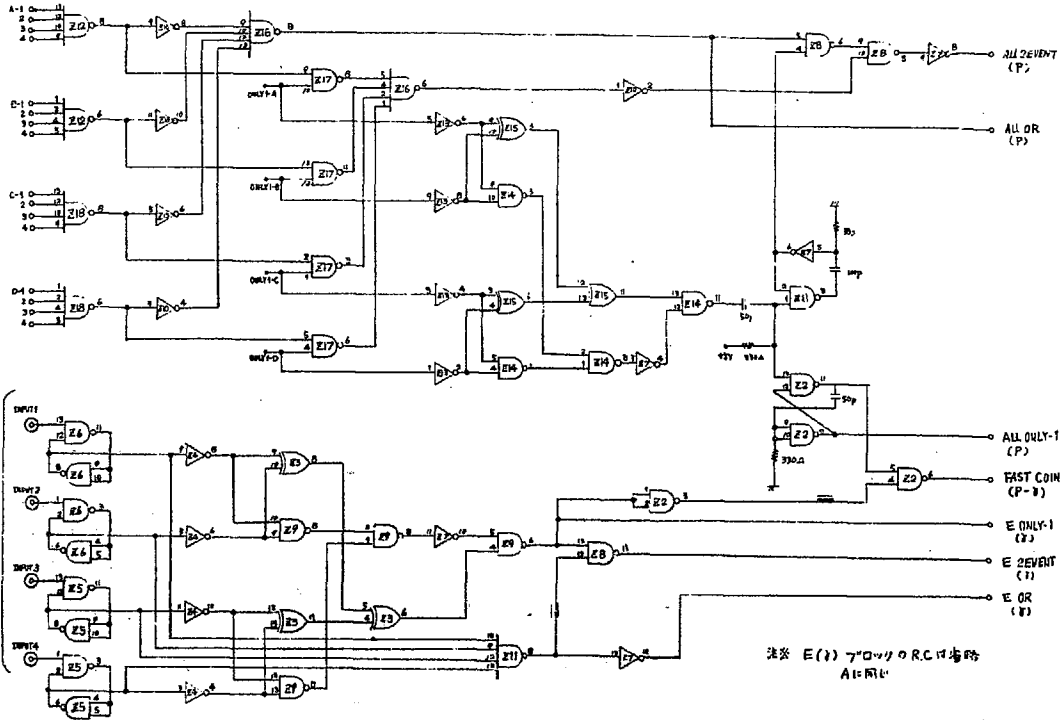
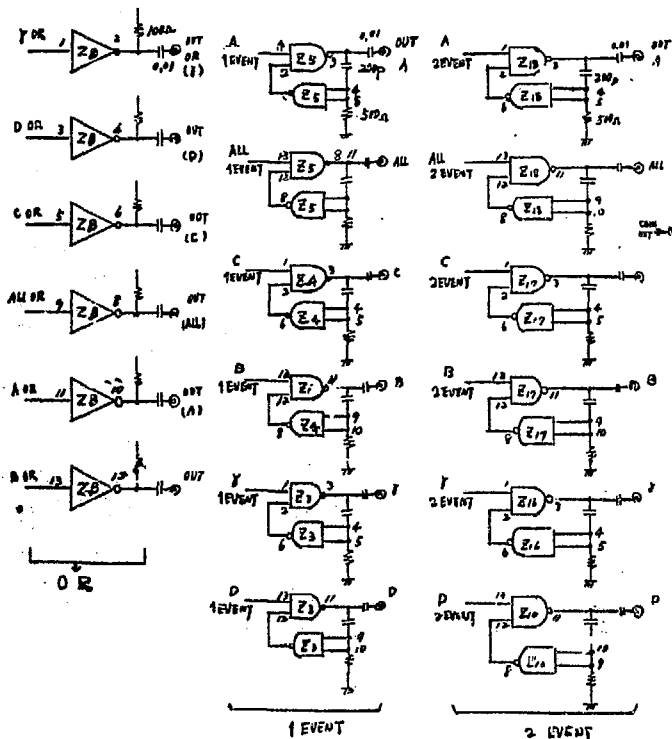


Fig. 5 (II)

FAST LOGIC

P-3



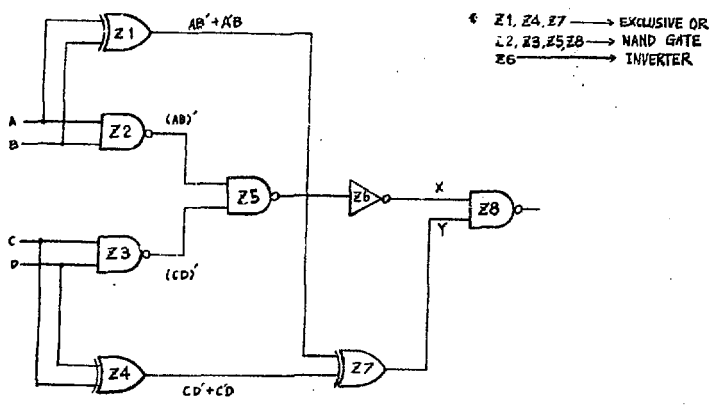


Fig. 6. ONLY-1 回路

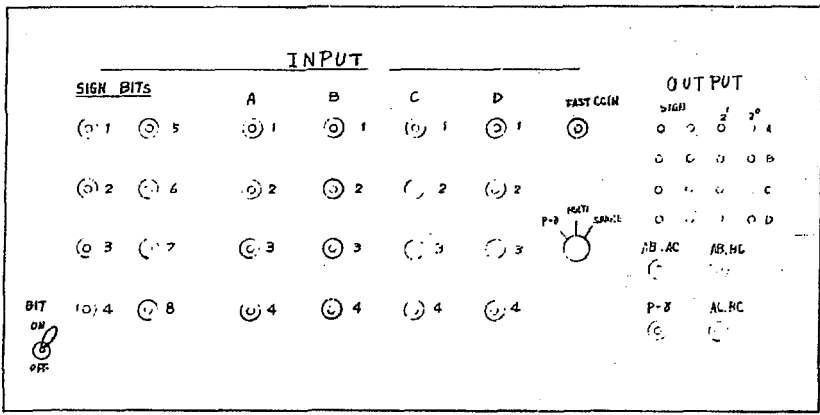


Fig. 7 Slow logic system Front panel

SLOW LOGIC BLOCK DIAGRAM

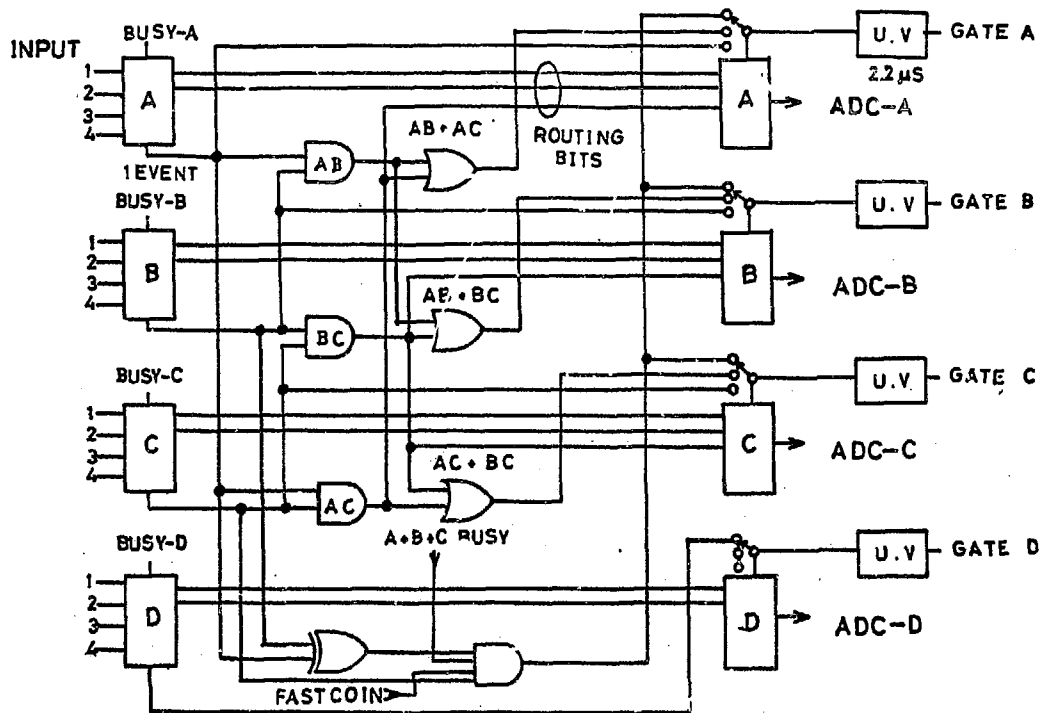
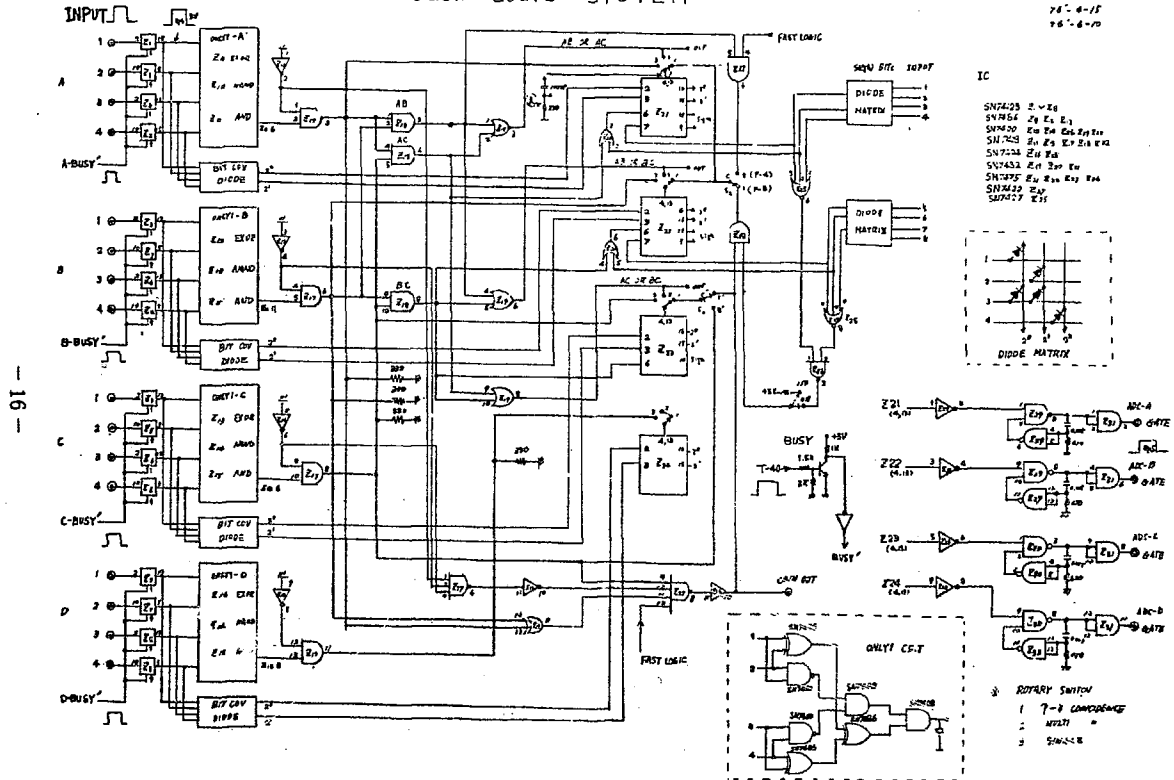


Fig. 8

SLOW LOGIC SYSTEM

75-3-3
75-4-15
75-6-10

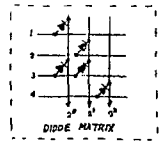


- 16 -

Fig. 9

IC

- SN7420 2 - E₁
- SN7424 2 - E₂
- SN7420 E₁ E₂ E₃
- SN7420 E₁ E₂ E₃ E₄
- SN7424 E₁ E₂
- SN7424 E₁ E₂ E₃
- SN7424 E₁ E₂ E₃ E₄
- SN7424 E₁ E₂ E₃ E₄
- SN7424 E₁ E₂ E₃ E₄
- SN7424 E₁ E₂ E₃ E₄



- ROTARY SWITCH
- 1 7-8 COMPLEMENT
 - 2 NOT
 - 3 SLOW