

ИТЭФ-63



ИНСТИТУТ ТЕОРЕТИЧЕСКОЙ И
ЭКСПЕРИМЕНТАЛЬНОЙ ФИЗИКИ

С.В.ВЛАДИМИРОВ, В.Ф.КУЗИЧЕВ, Н.В.РАБИН

ОРГАНИЗАЦИЯ ЗАДЕРЖКИ,
ВОРОТ ЗАПИСИ И ПАМЯТИ
КАНАЛА ПРОПОРЦИОНАЛЬНОЙ КАМЕРЫ
НА ϑ -ТРИГГЕРЕ

УДК 681.142.5:539.1.07

М-16

В работе описана экономичная организация элементов задержки, ворот записи и памяти канала пропорциональной камеры на базе Σ -триггера 155 Т12.

© ИТЭФ 1980

Работа поступила в ОНТИ 8/У-1980г.

Подписано к печати 14/У-80г. Т-07777. Формат 76x108 1/16.
Печ. л. 0,75. Тираж 220 экз. Заказ 63. Цена 5 коп. Индекс 3624.

Отдел научно-технической информации ИТЭФ, П7259, Москва.

1. ВВЕДЕНИЕ

В настоящее время в различных экспериментах ядерной физики в качестве инструмента исследования широко используются пропорциональные камеры (ПК). Существует хорошо отлаженные методы и технические решения съема информации с ПК (1,2), но проблема упрощения и снижения стоимости канала все еще остается актуальной.

Функциональная схема типичного канала для регистрации сигнала с ПК показана на рис. 1. Она состоит из усилителя, элемента задержки, позволяющего синхронизировать сигнал с ПК и строб-сигнал записи, ворот записи, где происходит совпадение указанных выше сигналов, элемента памяти, в который записывается и где хранится информация с проволоки, ворот чтения, через которые информация передается для дальнейшей обработки.

В настоящей работе представлен один из вариантов схемного решения элемента задержки, ворот записи и элемента памяти. Отличительной особенностью схемы является простота изготовления, наладки и низкая стоимость устройства.

2. Принципы

Элемент задержки, ворота записи и элемент памяти, отмеченные на рис.1 пунктиром, выполнены на \mathcal{D} -триггере (155TM2). Исходное состояние устройства (рис.2): $S = 1$, $R = 1$, $\mathcal{A} = 1$, $\mathcal{C} = 0$, $\mathcal{A} = 1$, $\bar{\mathcal{A}} = 0$ (здесь и далее принята положительная логика). Сигнал с ПК, усиленный до уровня ГП, поступает на установочный вход R \mathcal{D} -триггера. Триггер переходит во второе устойчивое состояние

$Q = 0$, $\bar{Q} = 1$, и емкость C начинает заряжаться через сопротивление R . При достижении напряжения на емкости величины $+1,6$ В и при $R = S = 1$ происходит запись в триггер состояния Q входа триггера. Если к этому моменту времени строб-сигнал записи отсутствует ($D = 1$), то триггер возвращается в исходное состояние: $Q = 1$, $\bar{Q} = 0$, т.е. запись в триггер не происходит. Если же к указанному моменту времени поступает строб-сигнал записи ($D = 0$), происходит подтверждение состояния $Q = 0$, $\bar{Q} = 1$, что соответствует записи в триггер сигнала с ПК. Время нарастания на емкости C до уровня $+1,6$ В является временем задержки сигнала с ПК. Чтение записанной информации производится через ворота чтения кодачей строб-сигнала чтения, после чего на установочный вход S подается отрицательный импульс, возвращающий триггер в исходное состояние.

3. Принципиальная схема канала

Схема, рассмотренная выше, обладает рядом недостатков при ее непосредственном использовании в канале ПК. Во-первых, время восстановления схемы очень велико, т.к. емкость C разряжается через относительно большое сопротивление. Во-вторых, если при достижении напряжения на емкости величины $+1,6$ В, на R входе присутствует сигнал, т.е.

$R = 0$, то триггер независимо от состояния на входе D неизбежно установится в состояние $Q = 0$, $\bar{Q} = 1$, что приведет к записи ложной информации. И, наконец, сигналы с ПК, поступающие в момент разряда емкости C , приведут к

значительному уменьшению времени задержки.

Схема, свободная от указанных недостатков, приведена на рис.3. Здесь для уменьшения времени разряда емкости C применен транзистор V_2 . В цепи обратной связи, служащей для блокировки триггера по входу R на время работы схемы, включая время восстановления, используется транзистор V_3 . На транзисторе V_1 выполнен управляемый согласователь уровней ЭСЛ-ТТЛ.

Перед началом работы на установочный вход S подается отрицательный импульс, устанавливающий D -триггер в исходное состояние: $S = 1, R = 1, D = 1, \overline{C} = 0, Q = 1, \overline{Q} = 0$, емкость C разряжена, транзистор V_3 закрыт, V_2 открыт и на базе транзистора V_1 поддерживается потенциал -0.76 .

Предположим, что в момент времени T_0 (рис.4) с ПК поступает отрицательный сигнал и устанавливается $R = 0$. Триггер переходит во второе устойчивое состояние: $Q = 0, \overline{Q} = 1$. Транзистор V_2 закрывается, и емкость C начинает заряжаться. По мере нарастания напряжения на емкости транзистор V_3 открывается, что приводит к уменьшению напряжения на базе транзистора V_1 до $-1,6$ В. Транзистор V_1 закрывается, блокируя тем самым триггер по R входу и $R = 1$. В момент времени T_1 напряжение на емкости C достигает значения $U_C = U_{CE} = 1,6$ В, т.е. становится равным напряжению порога триггера по \overline{C} -входу. Если к этому моменту времени строб-сигнал записи отсутствует, то происходит запись в

триггер состояния $\mathcal{D} = 1$, и триггер возвращается в исходное состояние: $Q = 1$, $\bar{Q} = 0$. Транзистор V_2 открывается, ускоряя разряд емкости C . К моменту времени T_2 устанавливается $\mathcal{C} = 0$. Транзистор V_3 закрывается, напряжение на базе V_1 становится равным -0.7 В. Схема готова к приему очередного сигнала с ПК. Время задержки сигнала с ПК равно $T_1 - T_0$, время восстановления $T_2 - T_1$.

Пусть теперь к моменту времени T_1 (рис.4) на информационном входе \mathcal{D} устанавливается $\mathcal{D} = 0$, что соответствует появлению строб-сигнала записи. В момент времени T_1 напряжение на емкости C равно порогу триггера по \mathcal{C} входу, и в триггер записывается $\mathcal{D} = 0$, т.е. триггер остается во втором устойчивом состоянии: $Q = 0$, $\bar{Q} = 1$. Напряжение на емкости C продолжает нарастать до уровня логической единицы. Транзистор V_3 остается открытым и блокирует триггер по входу R .

Нетрудно видеть, что запись информации в триггер происходит по переднему фронту импульса, что выгодно отличает данную схему от аналогичных устройств, использующих задний фронт импульса. Чтение информации происходит через ворота чтения в момент времени T_3 , после чего в момент времени T_4 на установочный вход S поступает отрицательный импульс, и триггер возвращается в исходное состояние: $Q = 1$, $\bar{Q} = 0$.

Если же строб-сигнал записи поступает на \mathcal{D} вход триггера в отсутствие сигнала с ПК, т.е. в момент прихода

строб-сигнала $U = 0$, то запись в триггер не происходит.

Качество работы блокирующей обратной связи можно проиллюстрировать, подавая на вход устройства отрицательный перепад напряжения ЭКЛ уровня, в результате чего схема переходит в релаксационный режим. Из диаграммы на рис.6 видно, что защита работает эффективно и последовательные времена задержки остаются постоянными: $T_{31} = T_{32} = T_{33} \dots$

Предельная частота определяется мертвым временем устройства $T_m \approx T_{303} \left(1 + \frac{\rho_T}{K}\right) \approx 1,2 T_{303}$; ρ_T - сопротивление открытого транзистора V_2 .

4. ЗАКЛЮЧЕНИЕ

На базе \mathcal{D} -триггера отработан и испытан многофункциональный узел канала ПК, включающий задержку, ворота записи и элемент памяти, имеющий следующие параметры:

1. Минимальная задержка с ПК при $C = 0$ составляет 20 нс (собственная задержка триггера).
2. Полученная максимальная задержка 100 мкс ($R = 100 \text{ Ом}$, $C = 1 \text{ мкФ}$).
3. Максимальная длительность импульса на R входе на уровне $+1,6 \text{ В}$ составляет $\geq 1,6 \text{ нс}$.
4. Максимальная длительность строб-сигнала записи на уровне $+1,6 \text{ В}$ составляет $\geq 12 \text{ нс}$.
5. Время восстановления напряжения на емкости C составляет $\sim 20\%$ времени задержки сигнала с ПК.
6. Длительность задержки обрабатывается с точностью $\leq \pm 0,5 \%$ при постоянной температуре.

7. Температурный коэффициент изменения длительности задержки составляет $\leq 0,1$ нс/град.С.

Наладка схемы сводится к подбору емкости C .

В заключение авторы благодарят В.Т.Смолянкина за поддержку и внимание к работе.

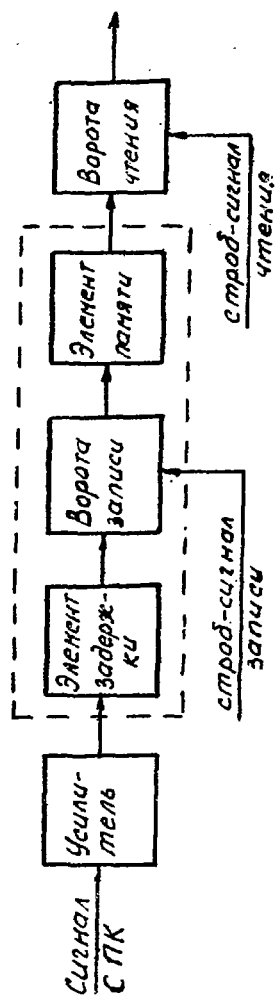


Рис 1. Функциональная схема канала ПК.

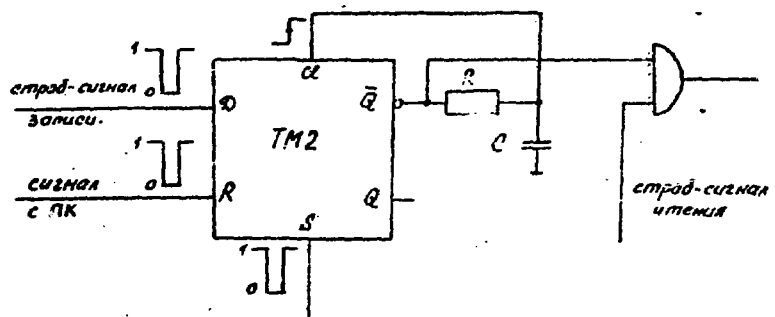


Рис. 2. Элемент задержки-ворота записи-память.

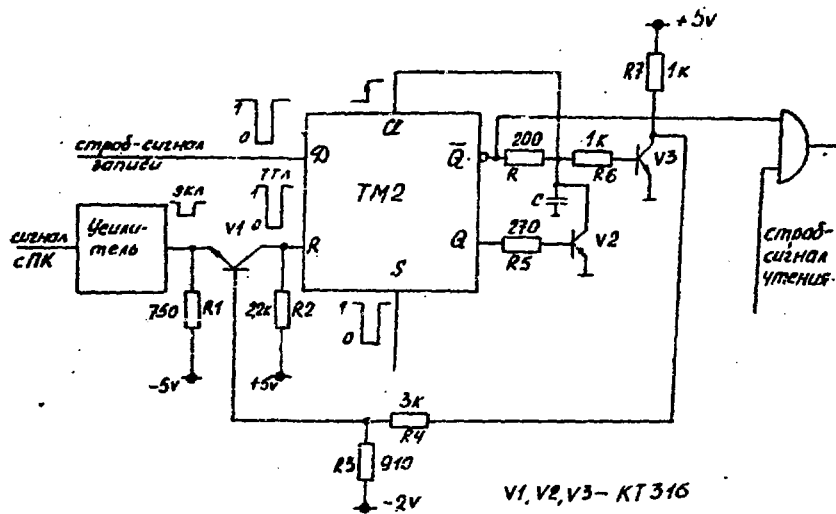


Рис. 3. Принципиальная схема.

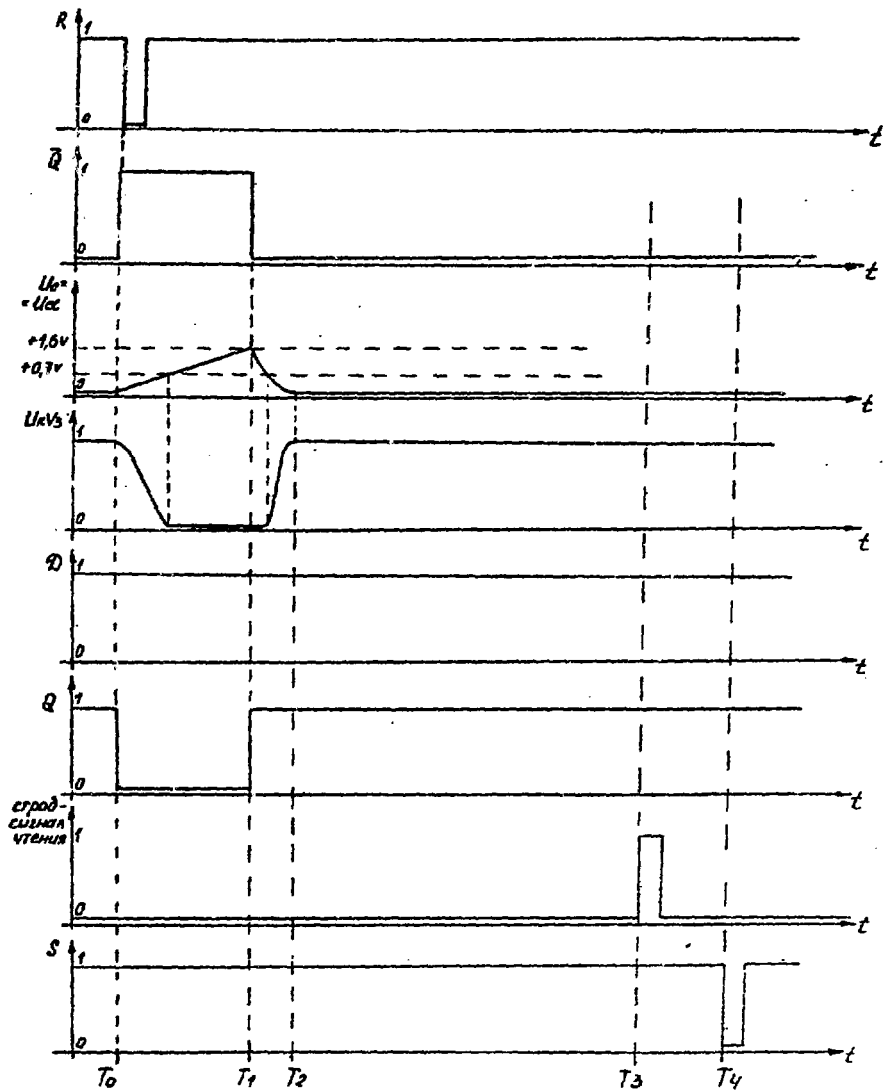


Рис.4. Временные диаграммы.

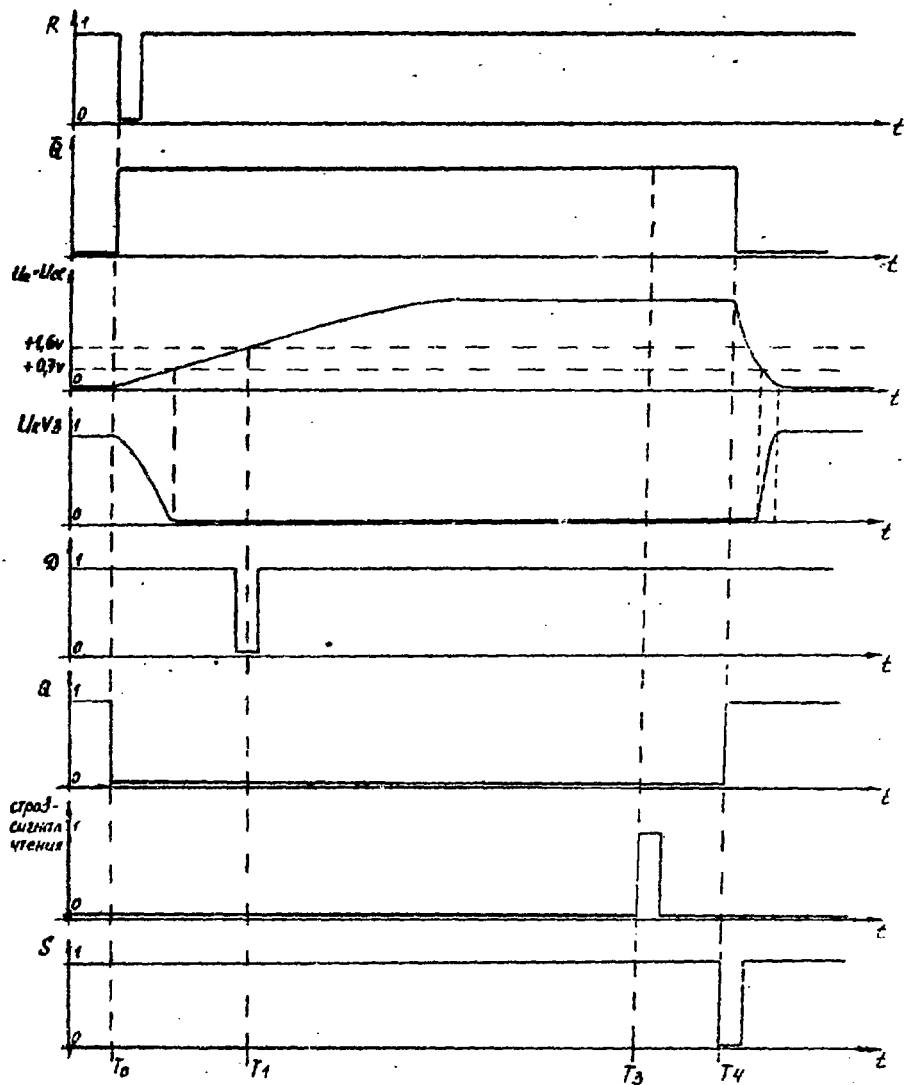


Рис. 5 Временные диаграммы.

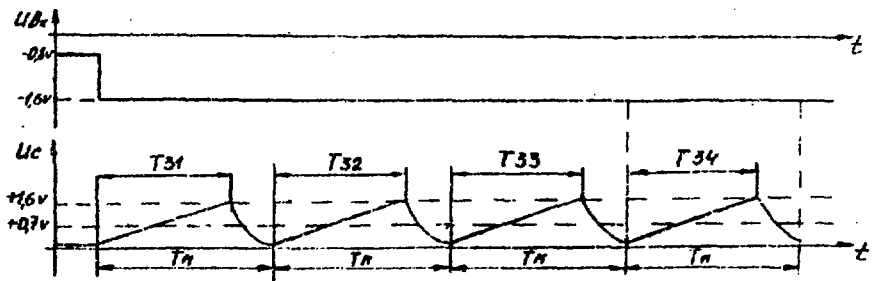


Рис. 6 Релаксационный режим.

ЛИТЕРАТУРА

1. Антипов Ю.М., Беззубов В.А., Бушнин Ю.Б. и др. Препринт ИФВЭ 77-85, Серпухов, 1977.
2. Пропорциональные и дрейфовые камеры. Международное совещание по пропорциональным и дрейфовым камерам. Дубна, 1978.



5 коп.

ИНДЕКС 3624