

JAERI - M
85-132

光結合CAMACアナログ入出力システム

1985年8月

堀江活三・金沢修平・峰原英介・花島 進

JAERI-Mレポートは、日本原子力研究所が不定期に公開している研究報告書です。
入手の間合わせは、日本原子力研究所技術情報部情報資料課（〒319-11茨城県那珂郡東海村）あて、お申しこしてください。なお、このほかに財団法人原子力弘済会資料センター（〒319-41茨城県那珂郡東海村日本原子力研究所内）で複写による実費頒布をおこなっております。

JAERI-M reports are issued irregularly.

**Inquiries about availability of the reports should be addressed to Information Division
Department of Technical Information, Japan Atomic Energy Research Institute, Tokai-
mura, Naka-gun, Ibaraki-ken 319-11, Japan.**

©Japan Atomic Energy Research Institute, 1985.

編集兼発行 日本原子力研究所
印刷 翰高野高速印刷

光結合CAMACアナログ入出力システム

日本原子力研究所東海研究所物理部
堀江活三・金沢修平・峰原英介・花島 進

(1985年8月2日受理)

加速器システムにおいて、とりわけイオン源においては機器の制御・監視のため高電圧に対して絶縁しつつアナログ電圧の伝達を行う必要がしばしばある。原研タンデム加速器ではイオンビーム入射器に4つの負イオン源を持っているが、従来より電圧一周波数変換および光ファイバーによるリンクがこのために使われてきた。イオンビーム入射器の拡張を機に我々は従来のシステムにかえるため、新しいモジュール(光結合絶縁型FDC-DFCモジュール)を開発した。このモジュールはCAMACモジュールで、数値とVF変換方式の光信号との変換を直接行えるもので、内部にPLLを用いた周波数合成器、周波数計数器、光発信器、光受信器を持つ。このモジュールを採用した新しいシステムは、イオン源を計算機制御するときの確度・保守性・信頼性を飛躍的に向上させた。

Optically Coupled CAMAC Analog Input Output System

Katsuzo HORIE, Shuhei KANAZAWA,
Eisuke MINEHARA and Susumu HANASHIMA

Department of Physics
Tokai Research Establishment, JAERI

(Received August 2, 1985)

In an accelerator system, especially in ion sources, signals are exchanged between devices at different potentials. We have four ion sources in the negative ion injector for the JAERI tandem accelerator. Voltage to frequency conversion technic and optical fiber were used in the previous system. When we intended to extend the injector, we decided to revise the system to improve accuracy and reliability.

For the purpose, we developed a new CAMAC module. It is an interface device between CAMAC dataway and optical fiber. The module has frequency synthesizers, frequency counters, optical transmitters and optical receivers in it. Accuracy, reliability and maintainability of the system were greatly improved by the module.

Keywords: Voltage-Frequency Conversion, Frequency Synthesizer,
Frequency Counter, Phase Locked Loop, Optical Fiber Link, CAMAC,
Ion Source, Computer Control, Input Output System

目 次

1. はじめに	1
2. システムの概要	1
3. 光結合絶縁型FDC-DFCモジュール	4
3.1 モジュールの構成	4
3.2 コントロール・チャンネル (DFC)	7
3.3 リードバック・チャンネル (FDC)	9
3.4 タイム・ベース	10
3.5 制御ロジック	10
3.6 製作	14
3.7 使用結果	14
4. FVC-VFCモジュール	14
4.1 モジュールの構成	14
4.2 コントロール・チャンネル (FVC)	17
4.3 リードバック・チャンネル (VFC)	17
4.4 使用結果	18
5. システムの入出力特性	18
6. おわりに	20
参考文献	20

Contents

1. Preface.....	1
2. Outline of the System	1
3. Optically Coupled FDC-DFC Module.....	4
3.1 Structure of the Module	4
3.2 Control Channel (DFC).....	7
3.3 Read-back Channel (FDC).....	9
3.4 Time Base	10
3.5 Control logic	10
3.6 Fabrication of the Module.....	14
3.7 Results.....	14
4. FVC-VFC Module.....	14
4.1 Structure of the Module	14
4.2 Control Channel (FVC).....	17
4.3 Read-back Channel (VEC).....	17
4.4 Results.....	18
5. Characteristics of the System.....	18
6. Conclusion	20
References	20

1. はじめに

原研タンデム加速器のイオン・ビーム入射器の拡張は、昭和59年7月に完了し、当初の目的とした入射器で使用される全機器の信頼性の向上、作業安全性の確保、イオン源の並列運転を可能とすること等は全て達成され、拡張後の入射器は極めて順調な稼働を続けている。この拡張の全般については既に報告されている。^{1)~3)}

ここでは、このイオン・ビーム入射器の拡張を機に、斬新な発想と手法をもって開発した光結合絶縁型FDC-DFCモジュールを中心とする、光絶縁CAMACアナログ入出力システムについての詳細を報告する。

原研タンデム加速器の入射器には4つの負イオン源が装荷されており、その全てが計算機制御されているが、異なる電位にある機器間の信号交換には光絶縁によるアナログ入出力システムを採用している。本報告の方式はこのような異電位にある機器からの信号を計算機システムに接続する一方式として有効であると考えられる。また設置後の本システムの実働状況は極めて満足のいくものとなっている。

2. システムの概要

加速器システムにおいて、とりわけイオン源においてはしばしば異なる電位にある機器の間で制御信号を交換しなければならなくなる。

原研タンデム加速器のイオン・ビーム入射器には4つの負イオン源が装荷されているが、その制御はCAMACシリアル・ハイウェイ・システムのなかの1クレートを入射器の高圧デッキ上に設置し、そのクレートを介して計算機制御されている。クレート中のモジュールから異なる電位にあるイオン源の機器（高圧・低圧電源等）を制御するための従来のシステム（米国NEC社設計製作）を図1(a)に示す。この図で示すように機器へのコントロール信号はDACモジュールから電圧信号として出力され、その電圧信号を電圧-周波数変換器（VFC）により周波数信号に変換し、さらにそれを光信号にしてプラスチック光ファイバーで絶縁して異なる電位にある機器の側へ送信する。機器の側では光ファイバーから入力した光信号を（周波数-電圧）変換器（FVC）で電圧信号に変換して機器にコントロール信号として与える。次に機器側からの情報を読み取るには、読み取り信号を電圧-周波数変換し、光ファイバーで絶縁してクレート側に送信する。クレート側では光信号を（周波数-電圧）変換器で電圧信号に変換してADCモジュールに入力することにより計算機システムに接続し、データの読み取りを行う。なお同図でSPMは外部からのサージに対してCAMACモジュールを保護するために設置したものである。

このシステムの手法は信号の絶縁法としては高耐圧（>50KV）が容易であり、かつ伝統的なものであるが、原研タンデム加速器におけるものは確度・信頼性・保守性が貧弱であった。またCAMACのDACならびにADCモジュールとSPMを加えた相互接続の複雑性が加わり、保守性をさらに悪くしていた。

ここで我々は従来のシステムにかわる新しい手法を用いたシステムを考えることにした。まず機器

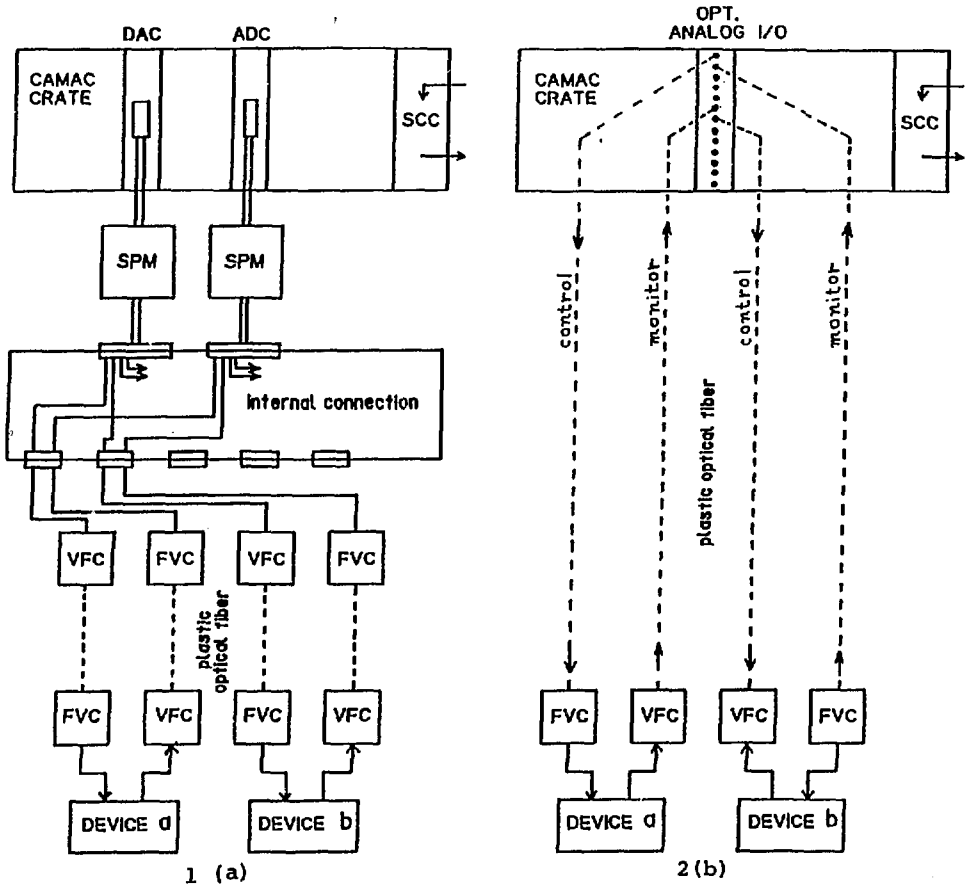
からの信号の読み取りについて考えてみると、これは光ファイバーを経由してきた光信号（光の点滅）周波数を数値に変換することであるから、周波数カウンターで周波数を直接計数すればよいであろう。次に機器への制御信号について考えてみると、数値入力により周波数信号を合成できるPLL（Phase Locked Loop）を用いた周波数合成器の出力を光ファイバーに出力すればよいであろう。即ち読み取り・制御とも中間に電圧信号を持つ必要はなく、また周波数カウンターならびに周波数合成器は、CAMACモジュール内にその回路を組み込むことが可能であろう。さらに発光・受光素子付光ファイバー・リンクをCAMACモジュール・フロント・パネルに取付ければ、光ファイバーは直接CAMACモジュールと接続できることになり、よってSPMもまた不要となるであろう。

以上の考察をもとに、我々は光結合絶縁型FDC（Frequency to Digital Conversion）-DFC（Digital to Frequency Conversion）モジュール（以下FDC-DFCモジュールと云う）を設計製作し、このモジュールを中心とする新しいシステムを開発した。

新システムのブロック図を図1(b)に示す。図1(a)の従来のシステムに比べ、極めてすっきりとした簡略化がなされたことが理解されよう。なお新システムのVFCならびにFVCは、基本素子は旧システムと同一のものをを用いたが、回路構成は全面的に改め新規に設計製作したものである。

我々がこのシステムを設計するに際して要点とした項目を下記に示す。

- (1) 制御対象とCAMACモジュールとの対応をすっきりさせる。（1イオン源 \leftrightarrow 1モジュール）対応を実現するために1モジュールにコントロール5チャンネル、リードバック8チャンネルが実装できること。
- (2) 光信号がCAMACモジュールに直接入出力できること。光ファイバーが直接モジュールに接続されることで、従来のサージ保護は不要となり、かつまた、inter connectionのわずらわしさからも解放される。
- (3) (1),(2)を実現させるために、光信号のリンク素子は最も小型のものを選定すること。
- (4) CAMACモジュール内では、コントロール信号の生成についてはX-tal発振器使用のPLLを使用してその確度を高め、リードバックについては周波数カウンターの計数の分解能と変換速度の競合関係を改善するため、入力周波数をPLLにより100倍に変換してから計数する。
- (5) CAMACモジュールはその実装密度を高めるため、いくつかの実装上の高度の工夫を計ること。（プログラマブル・アレイ・ロジック⁵⁾、低消費電力型素子、多層基板の採用）
- (6) CAMACモジュールは適当な精度の部品を使用して、完全無調整回路とし、システム全体でも調整箇所を従来と比べて大幅に減らすこと。
- (7) VFCとFVCについては、プラグイン構造とし、1プラグイン・ユニットにコントロール（FVC）を1チャンネル、リードバック（VFC）を2チャンネル設け、ここでも（1プラグイン・ユニット \leftrightarrow 1デバイス）の対応がとれるようにすること。
- (8) プラスチック光ファイバーは高品質の国産品（CH-4001 三菱レイヨン）を使用する。



SCC : Serial Crate Controller
 SPM : Surge Protection Module
 VFC : Voltage to Frequency Converter
 FVC : Frequency to Voltage Converter
 OPT. ANALOG I/O : Optically Coupled
 FDC-DFC Module

図1 光絶縁CAMACアナログ入出力システム新旧ブロック図

3. 光結合絶縁型FDC—DFCモジュール

3.1 モジュールの構成

本モジュールの構造は標準1幅のCAMACモジュールとし、内部に光信号を送信する5つのコントロール・チャンネル（DFC）、光信号を受信する8つのリードバック・チャンネル（FDC）、タイム・ベース、制御ロジック、それにデータウェイとのインターフェイス回路を組込んだものである。モジュールのブロック図を図2に示す。

このうち、制御ロジックはFDCのレジスターおよびDFCのレジスターとデータウェイ間のデータ転送を制御するためのもので、各レジスターの読み出しと書き込みの相互排除を行う機能を持っている。さらにDFCのレジスターの電源立ち上げ時の初期化機能をも持たせている。また、データウェイとのインターフェイス回路はCAMACの標準（ANSI/IEEE Std 583-1982）を完全に満たすべく設計されている。

このモジュールの仕様は旧システムからの移行を制御ソフトウェアの変更だけで行えるように設定された。表1にDFCとFDCの設計仕様を示す。写真-1はこのモジュールの部品面写真で、写真-2はフロント・パネルの写真を示している。フロント・パネルのT ϕ ~T4はコントロール・チャンネルの各ポート、R ϕ ~R7はリードバックの各ポートを示す刻印である。

表1 FDC-DFCモジュール設計仕様

DFC		
INPUT (N)	OUTPUT (F)	FVC output
0, 1	2.5 Hz	
400	1 KHz	0 VOLT
4000	10 KHz	10 VOLT
$1 \leq N \leq 4095$	$2.5 * N$ Hz	
(accuracy 15 ppm 25°C ±10°C, 1 year)		
FDC		
INPUT (F)	OUTPUT (N)	VFC input
250 Hz	100	
1 KHz	400	0 VOLT
10 KHz	4000	10 VOLT
$10237.5 \text{ Hz} \leq F \leq 250 \text{ Hz}$	$F/2.5$	
$F \geq 10240 \text{ Hz}$	4095	
(accuracy ±1)		
: FVC output and VFC input are only for reference		

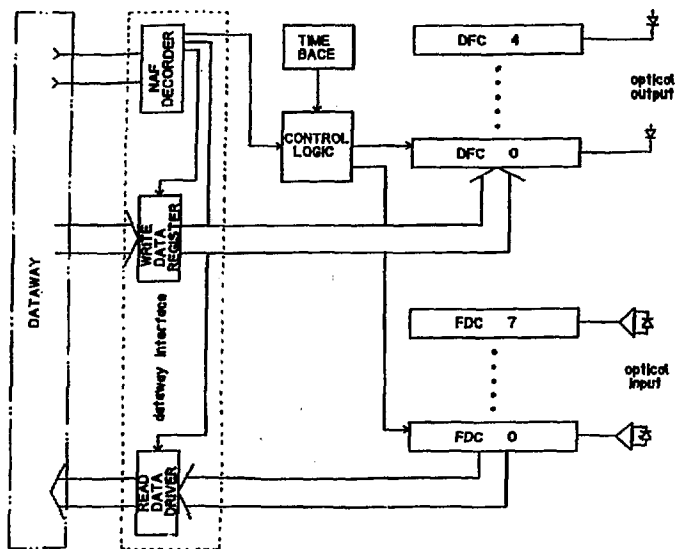


図2 FDC-DFCモジュールブロック

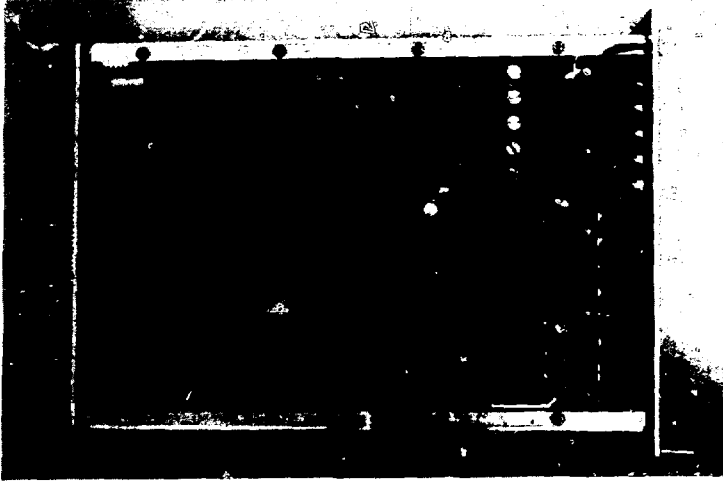


写真1 FDC-DFC部品面

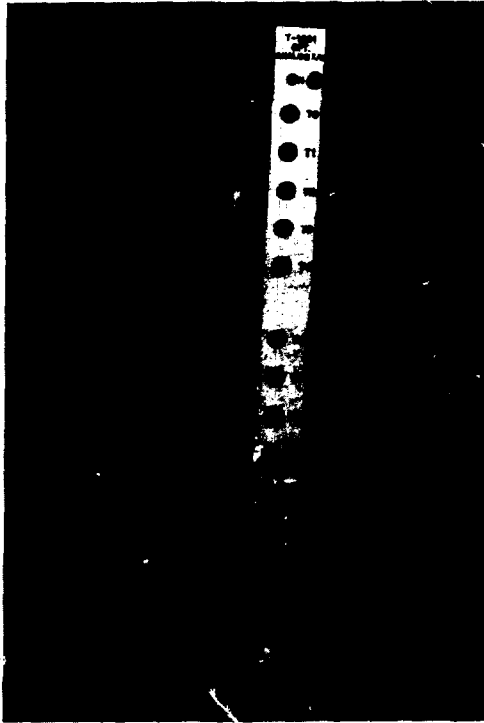


写真2 FDC-DFCフロントパネル

3.2 コントロール・チャンネル (DFC)

コントロール・チャンネル (1チャンネル分) の簡略化した構成図を図3に示す。同図中、中央をしめるPLLがDFCの心臓部である。⁴⁾

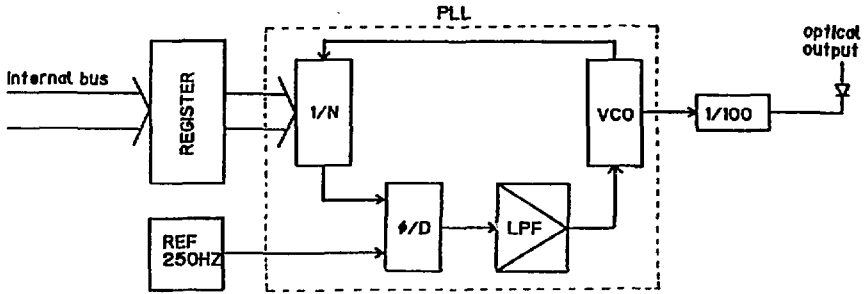
基本的動作を説明すると、データウェイからの12ビットの書き込みデータは internal bus を経由して各チャンネル毎のレジスタにロードされる。PLLはこの数値に比例する周波数信号を、後述のTIME BASE から送られてくる250 Hz 信号を基準にして合成する。この周波数信号は次の1/100分周器で分周されて光出力回路に送られる。光出力回路は周波数信号を光の点滅信号に変換して、光ファイバーとリンクするコントロール・チャンネル・ポートに供給する。

前述の表1に示す通り、このモジュールはコントロール入力値400に対して1 KHz、400に対して10 KHz を出力する。よって設定分解能は2.5 Hz でフルスケールの 2^{-12} である。PLLと光出力回路の間にある1/100分周器は、PLLの動作速度と周波数設定の分解能との間の関係を改善するためのもので、これによりPLLの位相検出器のサンプリング周波数は2.5 Hz (出力の分解能)の100倍の250 Hz となり、PLLの正規化周波数を上げることが出来る。即ち同等の分解能でもDFCの応答速度はこれにより上げられる。

VCOはBURR BROWN社のVFC62を使用しており、1 MHz/10 V のゲインを持つ。位相検出器はTYPE IIと呼ばれるラッチを使用したものである。1/NはPALを採用して構成したプログラマブル・デバイダーである。

LPFの回路構成を図4に示す。このコントロール・チャンネルの応答速度はPLLで決定されている。1 KHz 出力から10 KHz 出力へと変化させるために要する時間は約6秒である。この時のLPF出力波形を図5に示す。

PLLは出力周波数を常時モニターして基準信号と一定の比になるように負帰環制御する。従って出力周波数の定常状態での偏差はタイムベースの偏差に等しい。また短時間変動はVCOとLPFのノイズおよび残留リップルに依存する。



1/N : Programmable Divider
 φ/D : Phase Detector
 LPF : Low Pass Filter
 VCO : Voltage Controlled Oscillator

図3 DFC構成図

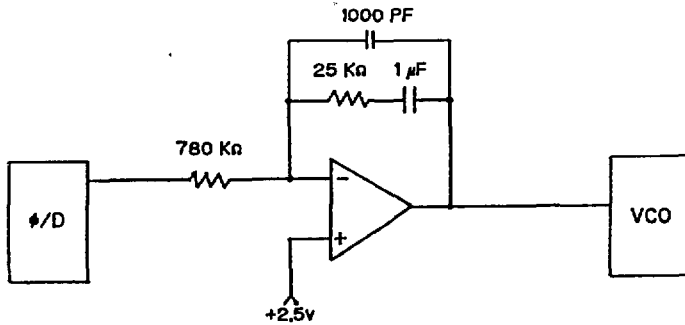


図4 LPF構成図

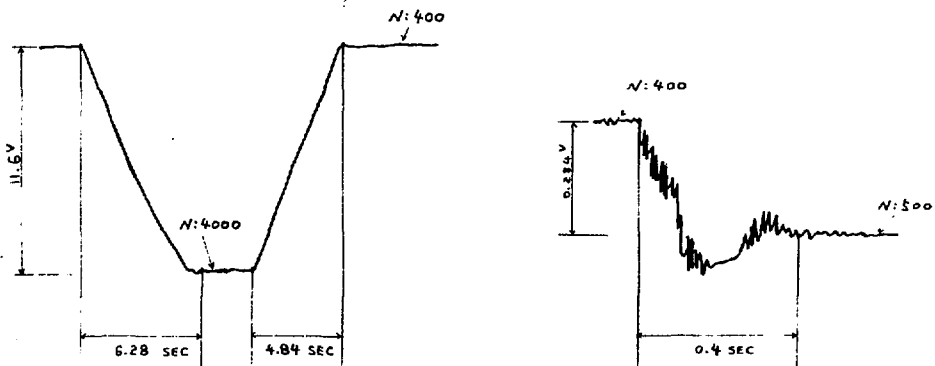


図5 LPF出力波形

3.3 リードバック・チャンネル (FDC)

リードバック・チャンネル (1チャンネル分) の簡略化した構成図を図6に示す。

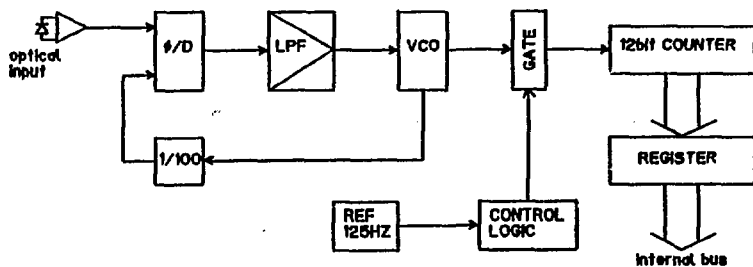
基本的動作を説明すると、光ファイバーから受信した光入力信号は周波数信号 (ロジック・レベル) に変換された後、その周波数をPLLで100倍にする。100倍にされたその周波数信号を12ビットカウンタで計数し、その値をレジスタに格納する。データ読み取りのCAMACコマンドによって、レジスタに格納されていたデータはinternal bus を経由してデータウェイに取込まれる。

前述のDFCと同様ここでも計数の分解能と変換速度との間に競合関係がある。光受信回路のあとのPLLで周波数を100倍にすることによって、変換速度を100倍にしこの関係を改善している。

12ビット・カウンタは1/125秒毎に1/250秒間のVCOのパルス数を計数し、レジスタにロードしている。レジスタは任意の時間にCAMACからの読み取りコマンドのアクセスを受け、格納していたデータはデータウェイから読み取られる。

FDCはアナログ量を離散化するため1LSB (Least Significant Bit), (2^{-12}) の量子化誤差が避けられない。この誤差に比べてタイムベースによる誤差は無視できる大きさである。

なお、12ビット・カウンタは最大カウント (4095カウント) まで数えると以後の計数を止めて、オーバースケール入力に対しては最大カウントと同じ値として扱うようにしている。



φ/D : Phase Detector
 LPF : Low Pass Filter
 VCO : Voltage Controlled Oscillator

図6 FDC構成図

3.4 タイム・ベース

高精度のプログラマブル水晶発振器（諏訪精工舎 SPG-8651B）の出力が、時間基準を作るのに使われている。精度は $2.5^{\circ}\text{C} \pm 1.0^{\circ}\text{C}$ 、1年で ± 1.5 ppm以下の偏差が保障されている。

3.5 制御ロジック

一般のデジタル装置において、電源投入後、システムは一定の初期状態にセットされねばならない。本モジュールにおいても、DFCのレジスターの初期化はシステムの誤動作を防止するために重要である。この種の目的のために従来しばしば使われてきた手法は、回路のリセット端子をCRネットワークに接続するというものであったが、電源の立ち上がりが遅い場合や電源の瞬断時には正しく動作しないという欠点があった。最近では電源電圧監視のための専用のICが開発されており、満足すべき機能を持っている。本モジュールに採用したIC（TL7705cp）の出力変化図を図7に示す。なお検出電圧 V_s は 4.75V で、遅延時間 t_d はCAMAC電源の立ち上がり時間とDFCの回路構成から 1ms に設定した。このICの出力は、DFCのレジスターのリセット端子に接続されている。これにより電源投入時、DFCのレジスターは確実にリセットされるので、コントロール・チャンネルからイオン源に誤った制御信号を送ることはない。

次にコントロール・チャンネル（DFC）に対する制御ロジックを説明する。この制御ロジックは、DFCのデータ・レジスターへの非同期なデータウェイのアクセスにより、PLLの出力波形に不測の過度に細いパルス（グリッチ）が生ずることを防止するためのものである。即ち、DFCのデータ・レジスターに数値をロードするクロック・タイミングと、 $1/N$ プログラマブル・デバイダのクロック・タイミングとが重ならないようにしている。

図8にロジック図とその動作波形を示す。CAMAC命令 $F(16) * A(n) * S1$ は、データ・レジスターにデータを格納させるための入力信号で、VCOは $1/N$ プログラマブル・デバイダの計数入力である。図から分かるように、VCOはRCによる遅延回路（ 150ns ）を経由して①点波形の立ち上りのタイミングで $1/N$ プログラマブル・デバイダを計数する。一方、データ・レジスターは $F(16) * A(n) * S1$ とVCOとを入力として構成する論理回路を経た②点波形の立ち上りのタイミングで、データを格納する。

①点波形の時間幅 T の間（VCO信号がハイレベルの期間）、論理回路によりデータ・レジスターにデータを格納するための波形の立ち上りは生じない。従って①点波形の $1/N$ プログラマブル・デバイダの計数入力波形の立ち上りのタイミングと重なることはない。つまりVCO波形の立ち上りと $F(16) * A(n) * S1$ 信号が重なりそうな時は、データ・レジスターへのデータの格納は延期される。一方、データウェイからの書込データは前段のプリロード・レジスターに $F(16) * S1$ の立ち上りのタイミングでロードされ、内部バス上に保持されているので、データ・レジスターへのデータの格納のタイミングが延期されても、正しいデータをデータ・レジスターに格納することができる。

このようにして、この制御ロジックによりコントロール・チャンネルのPLLの出力波形に不測の過度に細いパルス（グリッチ）が生じることは完全に防がれている。

続いてリードバック・チャンネル（FDC）に対する2つの制御ロジックを説明する。1つはFDCのレジスターへの非同期なデータウェイのアクセス（CAMACからのリード命令）のタイミングと、

12ビット・カウンターの計数値をレジスターにロードするタイミングが重なって、レジスター出力の過渡的な変動値を読み取ることを防止するためのもので、図9-(a)にロジック図とその動作波形を示す。図中のF/FはDタイプ・フリップフロップで、そのQ出力がレジスター・クロック信号である。データウェイトよりアクセスするCAMAC命令F(0)をF/Fのデータ入力としているので、レジスター・クロックのタイミングとデータウェイトがレジスター出力を読み取るタイミングが重なりあうことはない。

他の1つはFDCの12ビット・カウンターのクロック入力(周波数100倍器の出力)をゲートで開閉する際、カウンターが誤った計数をしないようにするためのもので、図9-(b)にロジック図とその動作波形を示す。波形④のようにゲートの開いている間に入力してきたVCO波形は、100nsの遅延とパルス幅200nsの整形後、カウンター・クロック信号として出力され、この波形の立上りのタイミングでカウンターを計数する。波形⑤のようにゲートの開閉のタイミングがVCO¹と重なった場合を考えると、この制御ロジックによりゲート開の際のVCO1パルスはカウンター・クロック信号からは排除され、ゲート閉の際のVCO2パルスはカウンター・クロック信号として出力される。このように波形⑥の場合でも、カウンター・クロック信号を出力するか否かをこの制御ロジックがはっきり判定するのでカウンター・クロック波形に不測の過度に細いパルス(グリッチ)を生ずることがなく誤った計数は行わない。なおこのロジックはプログラマブル・アレイ・ロジックで構成した。

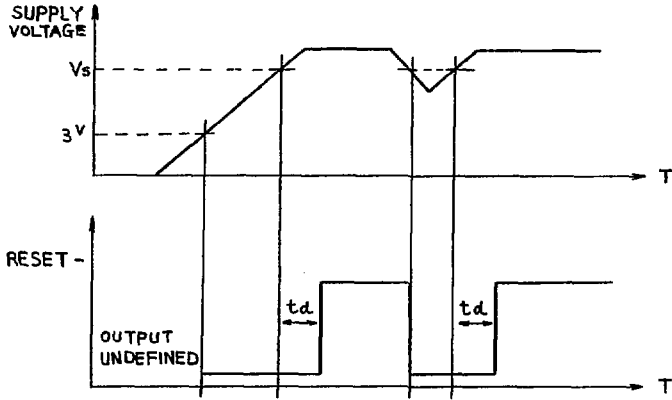


図7 TL7705 V_{cc} および出力変化図

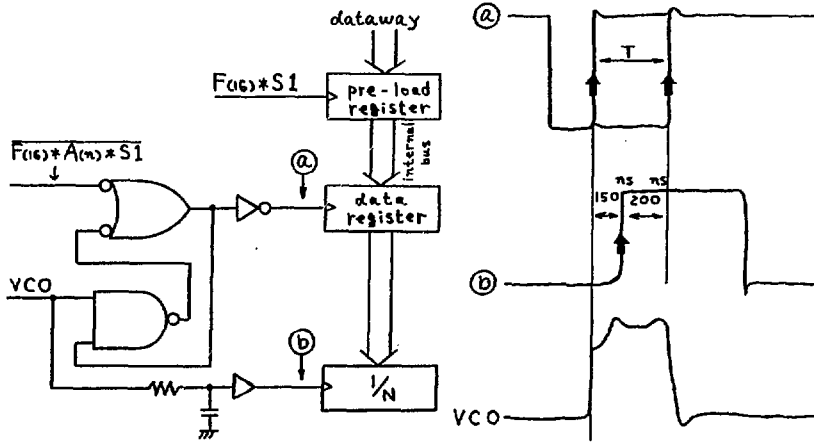
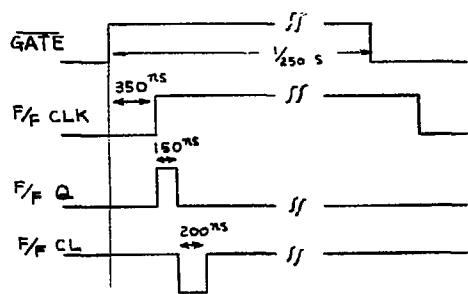
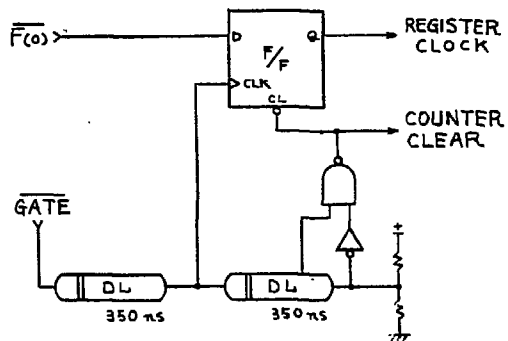
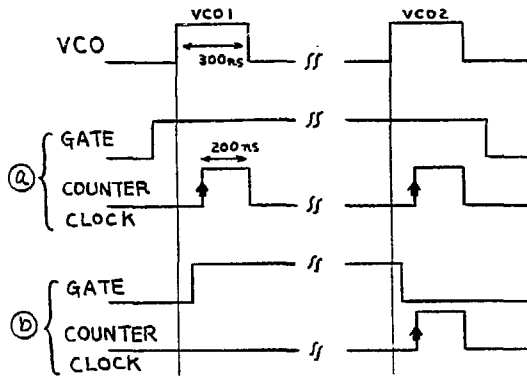
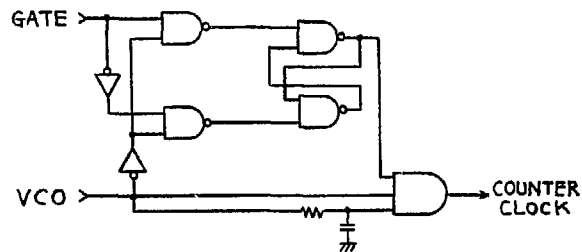


図8 DFC制御ロジック



9 - (a)



9 - (b)

図9 FDC制御ロジック

3.6 製作

このようなモジュールを作る場合、CAMACクレートの中での実装密度はシステム全体のコストに大きく影響する。このモジュールの実装密度はモジュールの正面パネルに実装できる光ファイバー・リンク（受光・発光素子付光レセプタクル）の数と、各回路の基板専有面積との両方で制限される。

光ファイバー・リンクには最も小型で扱いの容易なYHP社のHFBR-0500シリーズを採用し、5つのトランスミッター（HFBR-1501）と8つのレシーバー（HFBR-2501）を、正面パネルに配置することが出来た。

各回路の実現にはPAL⁵¹（Programable Array Logic）を多用し、回路ブロックのマクロ化を計るとともに、実装密度の向上に役立てた。これは多数のゲートが組込まれたIC内の回路接続を内部のヒューズの切断によって相互接続を選び、所用の論理をIC上に構成するものである。

またプリント基板には4層の多層基板を使い、約120個のICを1ボード上に納め、前述のチャンネル数を実装できた。

消費電力については、回路の動作速度の許す限りCMOS、HS-CMOS、PALを含めてLow Power Type ICを多用し、低消費電力化につとめた。測定結果は+6V 1.8(A)+24V 0.1(A)-24V 0.1(A)であった。

慎重な設計上の配慮によりこのモジュールは一切の調整が不用であり、組み立て後直ちに動作するようになされた。

3.7 使用結果

本モジュールはタンデム加速器入射器の高圧デッキ上のクレートに4台挿入され、4つの負イオン源の1台ずつを常時制御している。使用されはじめてから今日まで全く故障は発生していない。

本モジュールは光ファイバーを直接正面パネルに接続して光の送受信ができ、かつ適当な数のDFC、FDCを1モジュールに持つため、CAMACモジュールと異なる電位にある電源類との信号接続は著しく簡略化され、イオン源における放電等の電磁障害に対しても充分強いことが確認された。

4. FVC-VFCモジュール

4.1 モジュールの構成

新規設計製作したFVC-VFCモジュールの写真を写真-3に示す。モジュールはプラグイン構造としており、ボックス・タイプ（2スロット）もしくはラックマウント・タイプ（8スロット）のケースに収納され、入射器デッキとは異なる電位の側に設置される。入射器デッキ上のCAMACクレート内のFDC-DFCモジュールとは光ファイバーで接続される。

1プラグイン・ユニットにはコントロール（FVC）を1チャンネル、リードバック（VFC）を2チャンネル設けて、（1プラグ・インユニット \leftrightarrow 1デバイス）の対応がとれるようにしている。これは通常制御対象デバイスは、電圧もしくは電流モードのコントロール・チャンネルを1チャンネル

ル必要とし、リードバック・チャンネルは出力電圧と出力電流の読取りのため2チャンネルを必要とするからである。

光ファイバーとのアクセスには、FDC-DFCモジュールに採用したYHP社のHFBR-0500シリーズの光ファイバー・リンクを使用している。

写真-4に実際に高電圧ラックに設置されているラックマウント・タイプ収納ケースの写真を示す。収納ケースにはDC+5V, DC±15V用電源が内蔵されており、各モジュールの電源となっている。各デバイスとの接続のためのコネクタは収納ケースのリア・パネルに取付けられている。



写真3 FVC-VFC部品面

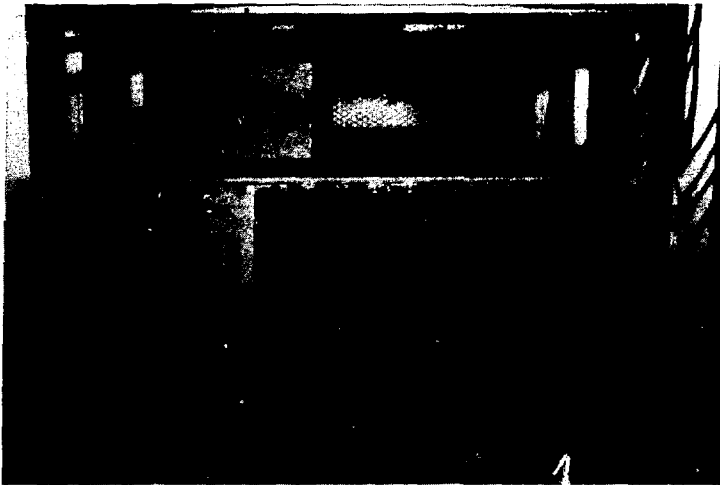


写真4 高電圧ラック上の収納ケース

4.2 コントロール・チャンネル (FVC)

コントロール・チャンネルの入力はFDC-DFCモジュールから光ファイバーを經由して送られてくる1 KHz~10 KHzの光信号で、ここで周波数-電圧変換されてDC0~+10 Vのコントロール電圧が出力される。

動作を簡単に説明すると、光ファイバーからの入力光信号は、受光素子付ファイバー・リンクHFBR-2501によりTTLレベルの周波数信号に置き換えられる。この周波数信号はユニバイプレータでパルス幅1 μ sに整形されて、(周波数-電圧)変換素子(A-8402)に入力される。

本システムでは1 KHz未満の低周波領域での動作不良を避けるため、システムの分解能を犠牲にするが、オフセットをかけて1 KHz入力でも0 V出力が得られるようにしている。変換素子の次段にこのオフセットのための反転増幅器を設けている。リファレンス入力は(A-8402)の V_z (REF出力)を利用して、1 Vを上記反転増幅器のリファレンス入力端子に設定している。この反転増幅器の出力はさらに最終段の緩衝増幅器を経て、デバイスにコントロール信号として与えられる。この2段の増幅器には低オフセット(1 mV MAX)、低ドリフト(10 μ V/ $^{\circ}$ C MAX)のJFET入力の増幅器LF412ANを選定した。またその周辺回路の固定抵抗は、抵抗値偏差 \pm 1%、温度係数50 ppmの金属皮膜抵抗を、可変抵抗には、抵抗値偏差 \pm 5%、温度係数100 ppmのものを採用して、システムの精度と安定度を定めた。なお、出力段増幅器保護用にコイルと過電圧保護素子を設けており、過電圧保護素子には応答速度の速い(1×10^{-12} 秒)、トランジューブ(ESDA-12)を採用している。

4.3 リードバック・チャンネル (VFC)

リードバック・チャンネルの入力はデバイス(高・低圧電源)の出力電圧または出力電流のモニター電圧DC0~+10 Vで、ここで(電圧-周波数)変換されて1 KHz~10 KHzの光信号をファイバー・リンクから出力する。1プラグイン・ユニットにはこのリードバック・チャンネルが2回路設けられている。

動作を簡単に説明すると、収納ケースのリヤ・パネルのコネクターを經由してきたデバイスのモニター出力は、入力段保護用のリミッター回路を經由して、増幅器LF411ANで構成されるボルテージ・ホロワに入力される。ボルテージ・ホロワ出力はLF412ANで構成される反転増幅器を2段經由して、(電圧-周波数)変換素子(A-8402)に入力される。ここで上記2段の反転増幅器は、0 V入力でも1 KHz出力が得られるようにするためのオフセット用回路である。リファレンス入力は(A-8402)の V_z (REF出力)から1 Vを設定している。次にこの(電圧-周波数)変換素子からの周波数出力は、発光素子ドライブ用トランジスタの入力として与えられ、ファイバー・リンク内の発光素子をドライブして光信号をファイバーに出力する。LF411ANはLF412ANと同等の低オフセット、低ドリフトの増幅器である。また増幅器周辺のCR部品には(FVC)と同等の特性のものを使用し、システムの精度と安定度を定めた。

4.4 使用結果

旧モジュールに比べ、プラグイン構造としたことで保守性が著しく向上した。また回路構成もすっきりとした単純化を計ったので調整がしやすく出来た。とりわけ、旧モジュールでは光受信回路を個別部品で組み上げていたため、しばしば故障を起こしていたが、受光素子付ファイバー・リンクを採用したことで、この箇所での故障は皆無となり飛躍的な改善がなされた。

現在合計19モジュールが使用されているが、今日まで全く故障は発生していない。

5. システムの入出力特性

まず、FDC-DFCモジュールの特性について述べると、コントロール・チャンネルの出力周波数の偏差はPLLの原理によりタイム・ベースの偏差に等しく、これはプログラマブル水晶発振器の性能にのみ依存し、 $25^{\circ}\text{C} \pm 10^{\circ}\text{C}$ 、1年で ± 15 ppmの偏差となる。また、リードバック・チャンネルの読み取り誤差はアナログ量を離散化するために避けられない、1LSBの量子化誤差のみである。このようにFDC-DFCモジュールは原理的に極めて良質な特性を持っている。

これに対して、FVC-VFCモジュールは一般的なアナログ回路で構成されているので、その特性は使用する集積回路、CR部品の持つ特性に大きく左右されてしまう。このためFVC-VFCモジュールで生じる誤差に比べれば、FDC-DFCモジュールで生じる誤差は無視できる大きさである。従って本システムの特性的向上はFVC-VFCモジュールによって制限をうけている。

ここで、本システムに採用したFVC-VFCモジュールの(周波数 \leftrightarrow 電圧)変換素子(A-8402)は、旧モジュールで使われていたもので、旧システムとの融合性が計られ、旧モジュールからはずして使えばシステム全体のコスト減にも寄与するものとして採用したものである。この素子の特性は一応満足できるものであるが、今日ではより優れた素子が入手可能であり、特性を改善できる余地は残っている。

コントロール・チャンネルの入出力特性を図10に示し、リードバック・チャンネルの入出力特性を図11に示す。いずれも誤差はフルスケールの $\pm 0.5\%$ 以内におさめられている。

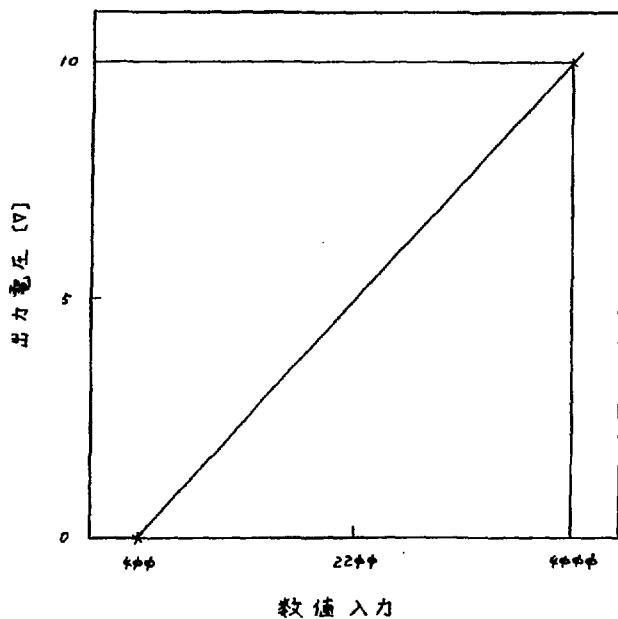


図10 コントロール・チャンネル入出力特性

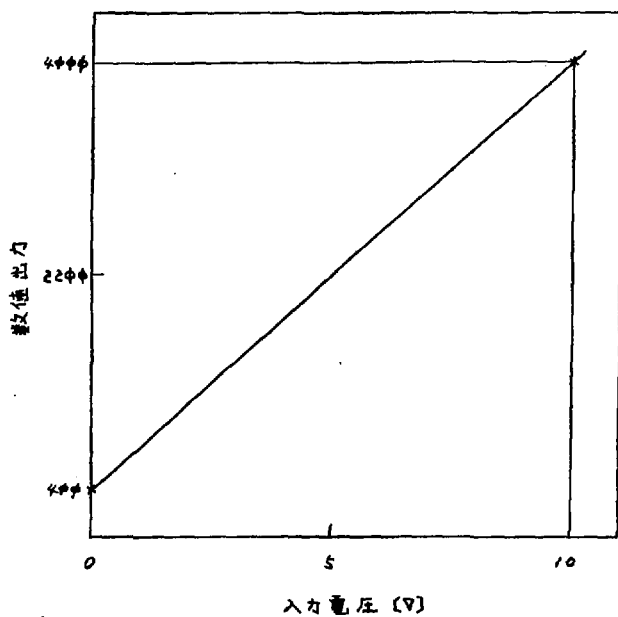


図11 リードバック・チャンネル入出力特性

6. お わ り に

この報告にまとめられた光絶縁CAMACアナログ入出力システムは、イオンビーム入射器の拡張を機に開発したもので、その設置は昭和59年7月に完了し現在まで極めて順調な稼働を続けている。

このうち殊に、FDC-DFCモジュールについては斬新な発想で設計を進め、実装面でもいくつかの最新の技術を取入れ、当初の期待通りの性能のものを製作することができた。このように異なる電位にある機器からの信号を計算機システムに接続する場合に、本方式はひとつの有効な方式であると考えられる。

なお入射器の拡張の全般については既にまとめられているので、^{1), 3)}あわせて参照することができる。

最後に、FDC-DFCモジュールは応用光研工業(株)、FVC-VFCモジュールは城石電設(株)が製作を担当されたが、関係者のご尽力に対しここに謝意を表します。なおPALプログラミングについては、エレクトロニクス課の熊原忠士氏より有益な助言をいただきましたことを記して謝意を表します。

参 考 文 献

- 1) E. Minehara, T. Yoshida, S. Abe, S. Kanazawa, S. Hanashima, K. Horie and Y. Tsukihashi : Proc. 5th Symp. Accelerator Science and Technology, Sep. 26-28, 1984, pp422-424.
- 2) S. Hanashima, K. Horie and E. Minehara : Proc. 5th Symp. Accelerator Science and Technology, Sep. 26-28, 1984, pp425-427.
- 3) 吉田, 峰原, 阿部, 金沢, 花島, 堀江, 月橋 : 未公開資料, タンデム加速器イオンビーム入射器の拡張(1985)。
- 4) 阿部吉男 : PLLIC応用の技術, トランジスタ技術, Nov. 1973.
- 5) Monolithic Memories社 : PAL Handbook 1981.
- 6) National Semiconductor社 : Linear Databook 1982.