

COMMISSARIAT A L'ENERGIE ATOMIQUE

CENTRE D'ETUDES NUCLEAIRES DE SACLAY

Service de Documentation

F91191 GIF SUR YVETTE CEDEX

CEA-CONF - -10108

L4

LES TECHNOLOGIES DE CIRCUITS INTEGRES SILICIUM SUR ISOLANT S.O.I.:
ETAT DE L'ART ET PERSPECTIVES

LERAY J.L.- DUPONT-NIVET E.- RAFFAELLI M.- COIC Y.M.- MUSSEAU O.-
PERE J.F.- LALANDE P.- BREDY J.
CEA Centre d'Etudes de Bruyeres-le-Chatel, 91 (FR)

AUBERTON-HERVE A.J.- BRUEL M.- GIFFARD B.
CEA Centre d'Etudes Nucleaires de Grenoble, 38 (FR). Inst.
de Recherche Technologique et de Developpement Industriel (IRDI)

Communication présentée à : RADECS Congress

Montpellier (FR)
11-14 Sep 1989

LES TECHNOLOGIES DE CIRCUITS INTEGRES SILICIUM SUR ISOLANT S.O.I. :
ETAT DE L'ART ET PERSPECTIVES

J.L. Leray, E. Dupont-Nivet, M. Raffaelli, Y.M. Coïc
O. Musseau, J.F. Péré, P. Lalande, J. Brédy

CEA - Centre d'Etudes de BRUYERES-LE-CHATEL
B.P. n° 12 - 91680 BRUYERES-LE-CHATEL - France
A.J. Auberton-Hervé, M. Bruel, B. Giffard

CEA-IRDI, D.LETI, 85X, F38019, Grenoble, France

Résumé

Les technologies du type "silicium sur isolant" ont été proposées pour augmenter les performances des circuits intégrés sous irradiation. Les recherches en ce domaine sont assez actives, en France et à l'étranger. Cette présentation fait le point sur la phénoménologie des effets des rayonnements appliquée à ce type de structure "silicium sur isolant". Des résultats inédits montrent que l'on peut effectivement obtenir de très bonnes performances dans les domaines de la vitesse de fonctionnement, de la dose intégrée (10 à 100 megarad(Si)), du débit de dose et de l'agression par les rayons cosmiques (S.E.U.).

Summary

Silicon On Insulator technologies have been proposed to increase the integrated circuits performances in radiation operation. Active researches are conducted, in France and abroad. This paper reviews briefly radiation effects phenomenology in that particular type of structure "S.O.I.". New results are presented that show very good radiation behaviour in term of speed, dose (10 to 100 megarad(Si)), dose rate and S.E.U performances.

LES TECHNOLOGIES SILICIUM SUR ISOLANT

La technique "silicium sur isolant" consiste à définir les transistors actifs, les résistances, les condensateurs des circuits intégrés sur une couche de matériau isolant.

D'une manière générale, rien ne conduit en principe à privilégier l'un des types de transistors : MOS, JFET, Bipolaire. Des réalisations élémentaires de chaque type ont été obtenues ⁽¹⁾. Cependant, les réalisations de niveau LSI-VLSI ont toutes porté, à ce jour, sur le type CMOS/SOI, à quelques exceptions près.

Le type du matériau isolant est généralement le dioxyde de silicium, si l'on fait abstraction du CMOS/SOS qui est réalisé à partir de saphir Al₂O₃ monocristallin. Des variantes utilisant l'oxyde de zirconium ont été ⁽²⁾ ou sont développées ⁽³⁾.

Les méthodes de fabrication (substrat isolant et couche active contenant les transistors) sont très diverses : FIPOS, SIMOX, ZMR, BESOI, ZMR-3D ... Pour une revue générale, on pourra se reporter à d'autres présentations (1, 4, 5).

L'objet de cet article est de traiter du comportement en durcissement des technologies SOI, quels en sont les avantages spécifiques, quels types de problèmes se posent, et comment on peut les résoudre.

Les résultats présentés permettent de répondre à ces questions, en prenant comme exemple le cas d'une classe particulière de SOI, dite "SIMOX" ou "SIMONE" pour "Séparation par IMplantation d'Oxygène".

PERFORMANCES ELECTRIQUES DES TECHNOLOGIES SILICIUM SUR ISOLANT

La figure ci-après montre des données acquises au CEA, à partir d'une chaîne de 101 inverseurs bouclée pour former un oscillateur en anneau. Ce même circuit de test a été réalisé en CMOS sur silicium, en CMOS sur isolant de type SIMOX ou ZMR, et ceci à différentes longueur de canal pour balayer la transition micronique/submicronique.

On voit que le gain en vitesse du SOI par rapport au CMOS standard est de l'ordre de 30 à 50% sur ces circuits simples. Ce gain en vitesse s'accompagne d'un gain possible sur la densité d'intégration, car un certain nombre de règles d'espacement "anti-latchup" n'ont plus à être prises en compte.

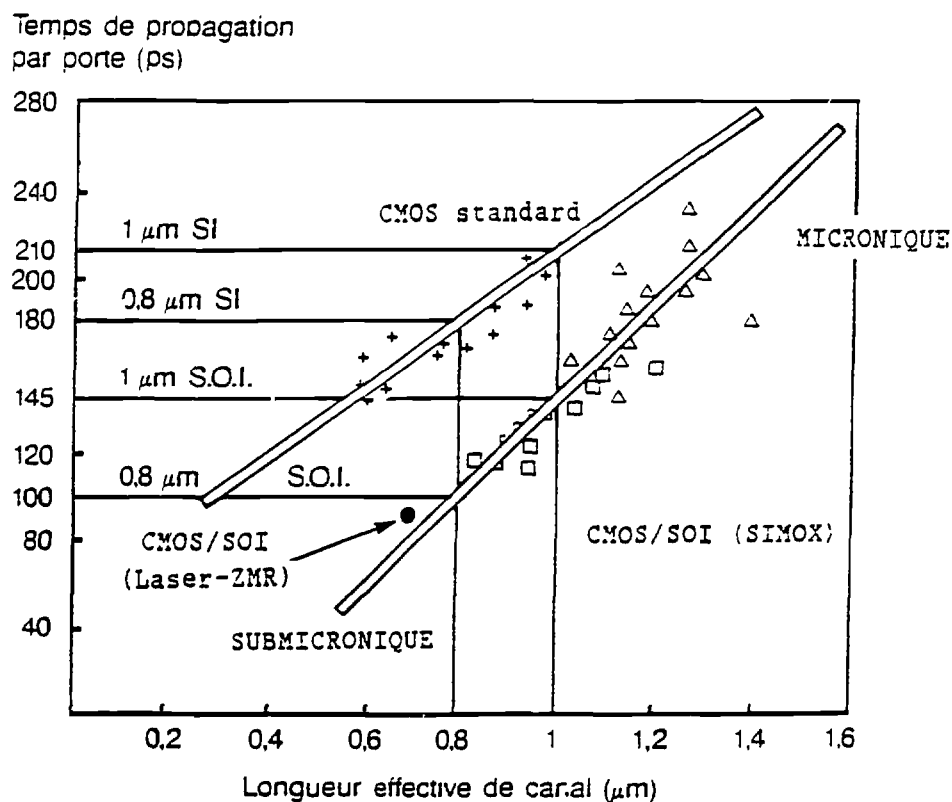
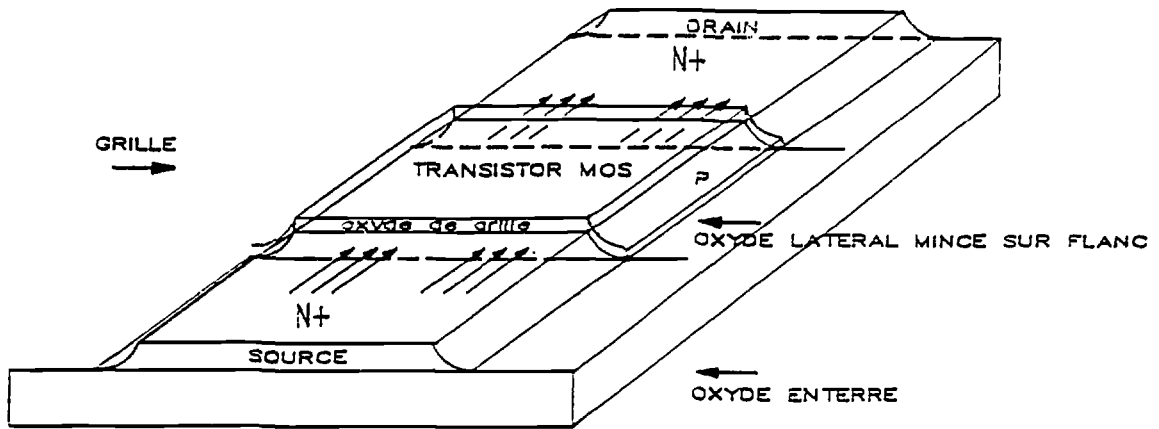


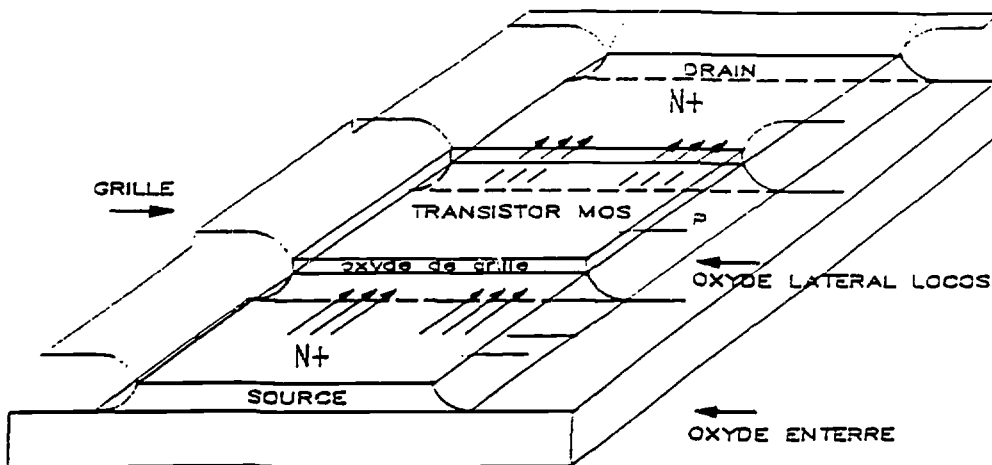
Figure 1. Performances en vitesse du CMOS/SOI par rapport au CMOS standard

LES DEUX FAMILLES DE STRUCTURES MOS SUR ISOLANT

Les figures ci-dessous montrent la structure des transistors élémentaires MOS/SOI, en perspective cavalière ; deux familles apparaissent, qui diffèrent par le mode d'isolation latérale.



Isolément latéral par gravure du silicium en MESA



Isolément latéral par oxydation locale LOCOS

Figure 2. Vues perspectives de structures de transistors SOI

Le durcissement

Le terme "durcissement" est une métaphore exprimant l'idée de résistance à une agression provenant d'une ambiance hostile, en l'occurrence un ensemble de rayonnements.

Employé seul pour désigner les plus ou moins grandes qualités d'une famille de composants électroniques, ce terme ne signifie rien car l'ambiance radiative doit absolument être précisée :

- types des particules
- spectre énergétique du flux temporel de particules

En outre, les spécifications que l'on attend des composants, discrets ou intégrés doivent également être précisées :

- dégradations restant dans les tolérances de fabrications
- fonctionnement pendant ou après l'irradiation (notamment absence d'inhibition transitoire, absence de défaillance retardée post-irradiation ...)
- absence de perte de l'information mémorisée (mémoires, registres, microprocesseurs)

Propriétés déduites de la structure SOI de base

La simple comparaison des structures élémentaires des technologies CMOS et CMOS/SOI établit nettement pourquoi ces structures sur isolant sont naturellement durcies aux effets transitoires (SEU et débit de dose).

Les effets transitoires sont des impulsions de courant générées par les expositions aux forts débit de photons ou aux traces d'ions lourds cosmiques. Ces photocourants induisent des excursions de tensions perturbatrices, dans le coeur des circuits.

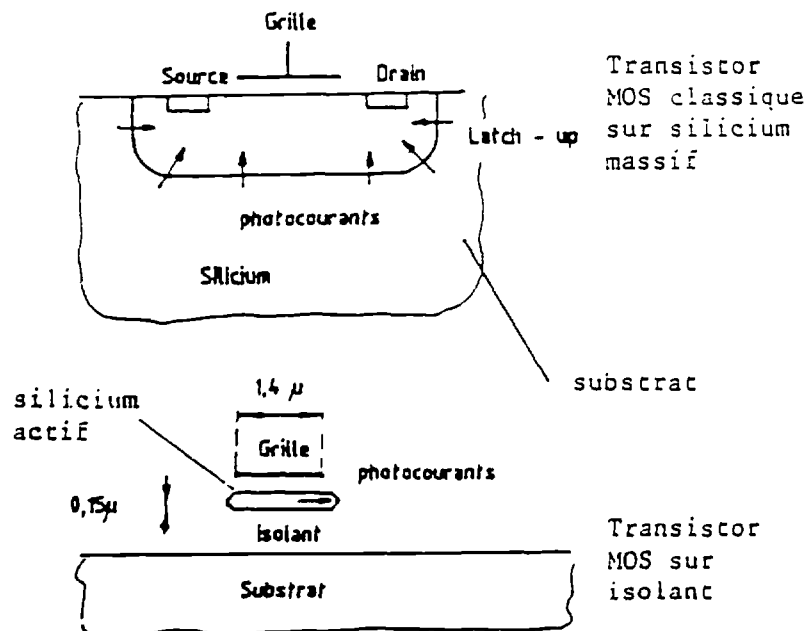


Figure 3. Structures MOS et MOS sur isolant : comparaison des volumes de silicium actif

Ces effets transitoires sont proportionnels aux volumes de semiconducteur ionisé, dans lesquels s'opère la collection des électrons et des trous générés.

La première action de durcissement consiste à réduire le volume de silicium actif, en entourant le transistor élémentaire d'isolants, comme indiqué dans la figure 3. On passe ainsi des structures CMOS classiques, immergés dans le silicium "massif" et isolées par des jonctions PN, aux structures "SOI", pour lesquelles l'indépendance électrique des transistors est assurée par des couches isolantes.

Comportement en dose

La dose de rayonnement absorbée mesure l'ionisation créée dans les matériaux. Dans les *trois isolants* dont est entouré le transistor, cette ionisation crée des paires d'électron-trous, dont une fraction de la composante "trous" est piégée de manière permanente. Cette charge d'espace excédentaire crée un champ électrique interne qui déplace des caractéristiques courant-tension de commande des transistors, pouvant conduire à des courants de fuite très préjudiciables (figure 4).

Le problème ainsi soulevé est particulièrement ardu à résoudre dans le cas du SOI, car cette structure possède non seulement un isolant de la grille de commande, mais deux isolants supplémentaires : l'isolant latéral et l'isolant enterré (cf figure 2). Le problème est donc triple.

1, 2, 3 : symboles de doses croissantes

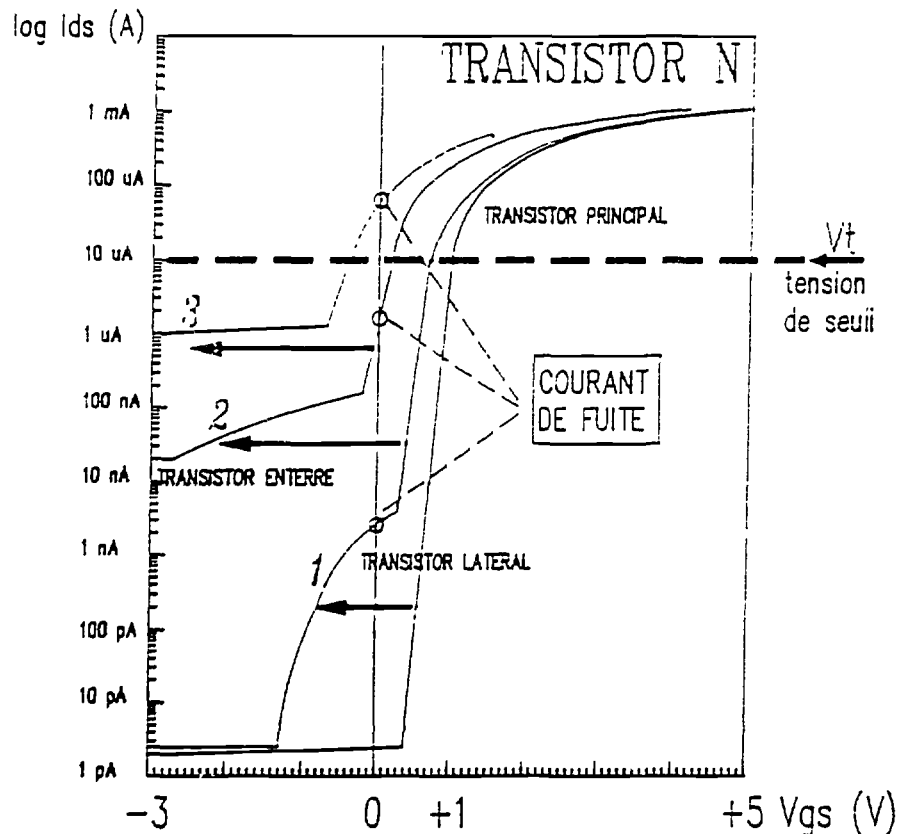


Figure 4. Effets des rayonnements sur le transistor N : dose accumulée

Généralisation de l'analyse

On peut étendre ces considérations à d'autres structures que les MOS (bipolaires, ...) et aux autres types d'agressions (dose, neutrons ...). Le tableau ci-après résume les quatre types d'ambiances auxquelles, par convention pratique, on considère que sont soumis les composants. Il est à noter que les ambiances réelles sont des combinaisons de celles-ci.

Tableau 1. Potentialité en durcissement des principaux composants élémentaires

Symboles

+ : bon comportement

E : potentiellement acceptable, essai nécessaire selon le niveau requis

D : effort de durcissement nécessaire, fabrication avec "process-control"

- : inaptitude irrémédiable

Type de composant élémentaire (matériau)	Neutrons	Dose ionisante à faible débit (ray. X, gamma électrons, protons)	Débit de dose ionisante (photons)	Ions lourds de type cosmiques
Thyristor Si	-	E	-	-
Bipolaire Si	D	E	-	E
Bipolaire /isolant	D	E	E	+
JFET Si	E	+	E	E
JFET Si /isolant	E	D	+	+
MESFET GaAs /semi-isolant	+	+	-	-
MOSFET Si	+	D	E	E
MOSFET Si /isolant	+	D	+	+

On voit que dans la course aux "+", les technologies utilisant les MESFET GaAs sur GaAs semi-isolant et les MOSFET au silicium sur isolant, "S.O.I.", sont les mieux placées.

On voit également que la vulnérabilité des technologies SOI réside, a priori, dans les effets de la dose intégrée, alors que celles des technologies GaAs réside dans les effets transitoires : ions, débit de photons.

+

Dans le cas du SOI, le *durcissement* aux effets de la dose intégrée est donc nécessaire, afin de recueillir les quatre "+" qui permettraient d'utiliser le terme "durcissement" dans l'absolu, sans perler de la forme que pourrait revêtir l'ambiance radiative.

Nous allons montrer dans ce qui suit que cette classe de composant peut effectivement être durcie, grâce à des actions d'ingénierie de procédés de fabrication dont la description précise sortirait du cadre de cette communication.

Ceci montre que les technologies sur isolants sont potentiellement durcies à tous les environnements radiatifs, et ce durcissement est possible sans impact négatif majeur sur les performances électriques des circuits (⁴, ⁶). Les applications à fortes complexité et rapidité sont donc possibles.

Cependant, la pratique révèle que ces buts sont loin d'être atteints d'emblée (², ³) : en l'absence d'actions, le durcissement atteint peut être moindre que dans le cas de technologies plus classiques. L'impact de ces phénomènes sur les performances de circuits complexes de base (mémoires, microprocesseurs ...) a été présenté.

Nous allons présenter quels sont les phénomènes constatés et quelles actions peuvent permettre d'atteindre ces buts, des plus simples aux plus complexes.

On se limitera ici au problème principal, qui est celui de la vulnérabilité intrinsèque de cette classe de technologie à la dose intégrée.

Pour traiter des problèmes moins cruciaux de perturbations transitoires par irradiation aux forts débit de photons ou en ions lourds uniques, ou pourra se reporter à d'autres exposés.

La conclusion est que le niveau de durcissement maximum théorique, que l'on peut attendre compte tenu des matériaux utilisés et des caractéristiques dimensionnelles des transistors élémentaires et des circuits complexes, peut effectivement être modélisé et atteint, dans chaque cas de perturbation.

Performances en SEU et DEBIT DE DOSE

Les réductions de volume permettent une grande immunité aux effets transitoires : la figure 5 montre l'amélioration apportée dans le domaine du "SEU" ou basculement des états logiques mémorisés dans les cellules des mémoires ou des registres de microprocesseurs.

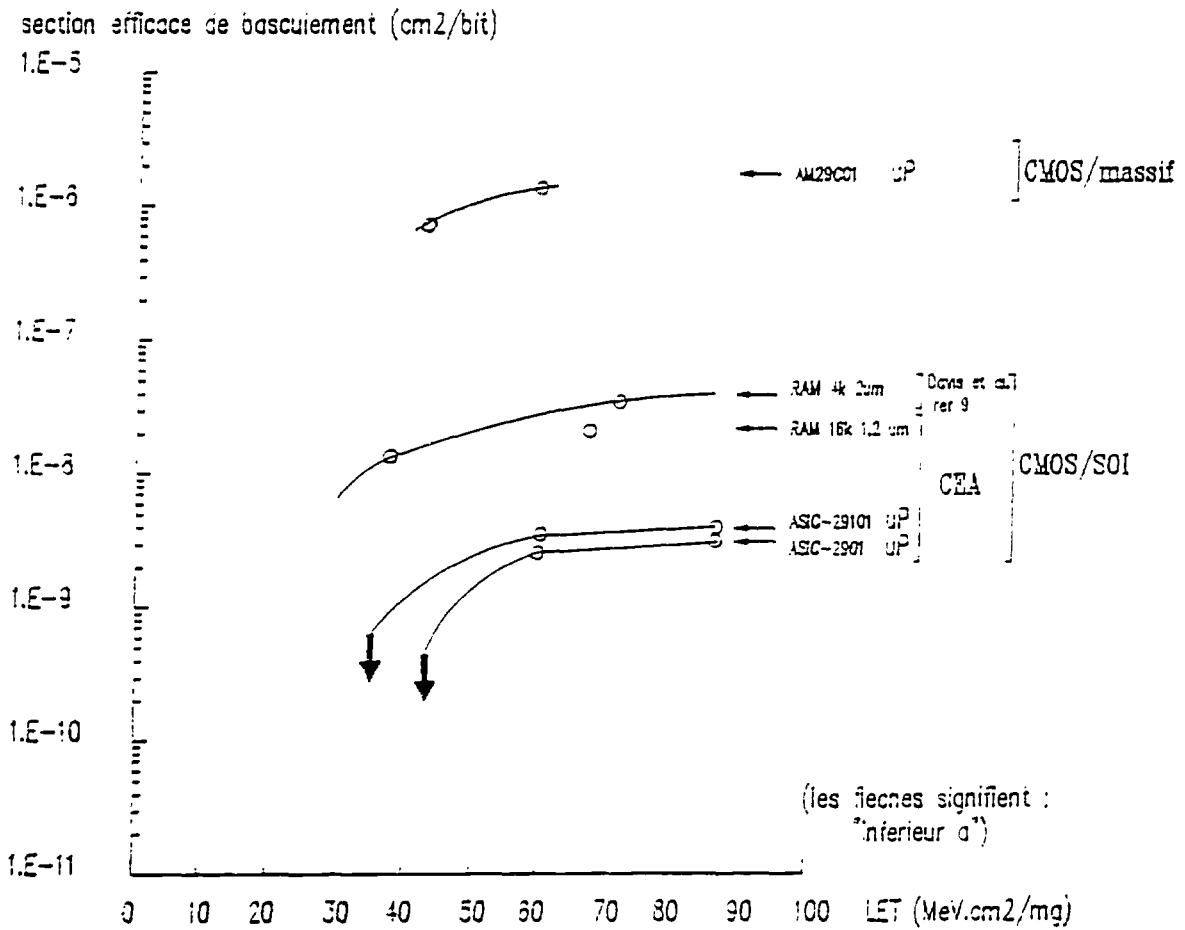


Figure 5. Caractéristiques de sensibilité aux ions lourds pour divers composants CMOS et CMOS/SOI

En ce qui concerne les agressions transitoires telles que basculements d'états logiques mémorisés constatés aux forts débit de dose et sous les flux d'ions lourds cosmiques (S.E.U.), on peut rappeler les résultat présentés ailleurs (7) :

Tableau 2.

Débit de dose (registres, microprocesseurs mémoires)	Perturbation logique : amélioration d'un facteur 10 ² à plus de 10 ⁴ par rapport aux niveaux des CMOS
S.E.U (29101 en CMOS/SOI)	LET _{critique} > 45 MeV.cm ² /mg σ(LET=85 MeV.cm ² /mg) < 4 10 ⁻⁹ cm ²

En S.E.U., un nouveau type de photocourant a été remarqué et fait l'objet d'études physiques : le "back-funneling" est décrit dans ce volume (8).

Les valeurs de la section efficace et du seuil en LET montrent que des probabilité de défaillance aussi faibles que 10⁻⁹ erreur par bit et par jour sont possibles, en orbite géosynchrone à spectre de pire cas à 10% d'occurrence.

- Schéma équivalent d'un transistor SOI

Avant de progresser dans notre exposé de l'état de l'art en durcissement des SOI, il faut déterminer de quelle manière s'exprime la vulnérabilité de la structure MOS/SOI. Pour cela, il faut localiser quels sont les éléments parasites, inactifs avant irradiation, mais qui sont déclenchés par celle-ci et causent :

- les photocourants, pendant l'irradiation
- les courants de fuite, pendant et après l'irradiation

Considérons la structure d'un transistor MOS/SOI, telle que représentée en coupe *source-drain* sur la figure 3 et en perspective sur la figure 2.

La coupe de la figure 6, perpendiculaire à l'axe source-drain, montre l'existence d'un transistor MOS parasite, *latéral*, formé de l'un des flancs du transistor *principal*, de la prolongation de la grille à l'extérieur du transistor et de l'isolant latéral (LOCOS ou oxyde de grille latéral pour la structure MESA). Cet isolant latéral et son interface avec le silicium latéral, pose des problèmes spécifiques de durcissement. On verra ci-après les effets de quelques méthodes de durcissement qui ont été appliquées.

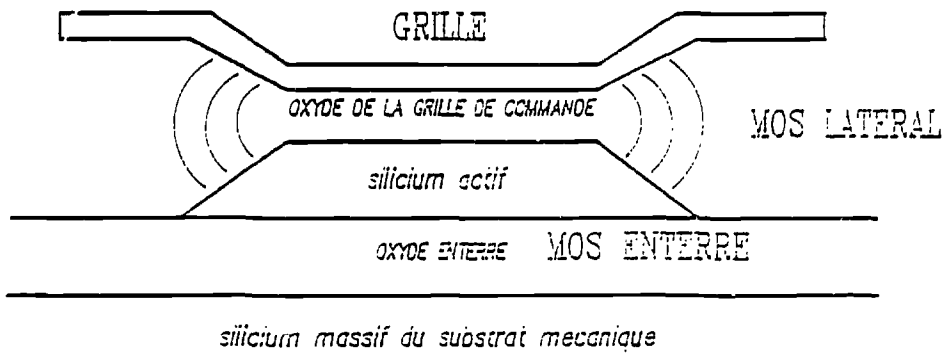


Figure 6. Coupe latérale de transistor MOS/SOI

Circuit électrique équivalent :

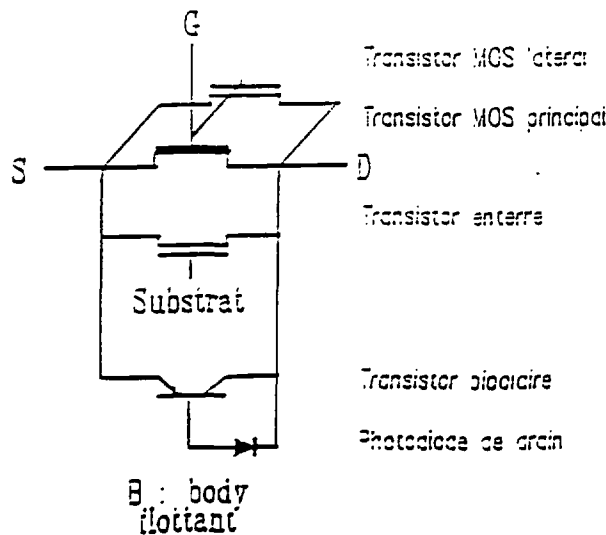


Figure 7. Éléments parasites d'une structure MOS/SOI

Eléments parasites d'une structure SOI

On voit sur la figure 7 les éléments parasites pouvant amener :

- des courants de fuite après absorption d'une certaine dose intégrée

Il s'agit du transistor MOS parasite latéral, et du transistor MOS "enterré", dont la grille est constitué par l'équipotentielle du substrat mécanique (reliée au fond du boitier ou de l'hybride) et de l'oxyde d'isolement arrière.

- des photocourants amplifiés

Les MOS de type N et P "à enrichissement" sont constitués, selon l'axe source-drain, de couches N⁺/P/N⁺ et P⁺/N/P⁺.

Les transistors MOS N et P sont donc équivalents à des transistors bipolaires NPN et PNP, dont le gain peut être important compte tenu des faibles largeurs de base (longueur source-drain du transistor), et de la bonne qualité du matériau silicium actif (les durées de vie des porteurs minoritaires sont passées de 10 ns à quelques microsecondes par suite des progrès dans les méthodes de fabrication des matériaux). Des gains supérieurs à 100 ont ainsi pu être mesurés (6, 9, nos résultats ci-après).

INCONVENIENTS DES TRANSISTORS BIPOLAIRES PARASITES

En SOI, la couche intercalaire N ou P n'est connectée à aucun potentiel fixe, au contraire des structures CMOS où ces couches sont généralement reliées à V_{dd}, alimentation positive, ou V_{ss}, équipotentielle zéro.

Ce transistor bipolaire "base flottante", est donc disponible pour amplifier tout photocourant ou tout courant d'avalanche généré dans ou autour de la diode de drain, faisant office de jonction base-collecteur. Ce problème est bien modélisé (10, 11) et nous avons pu retrouver les phénomènes constatés dans le domaine des transistors bipolaires.

Des profils de dopage bien étudiés permettent de réduire, mais non d'annuler strictement ce gain, comme le montre la figure 8.

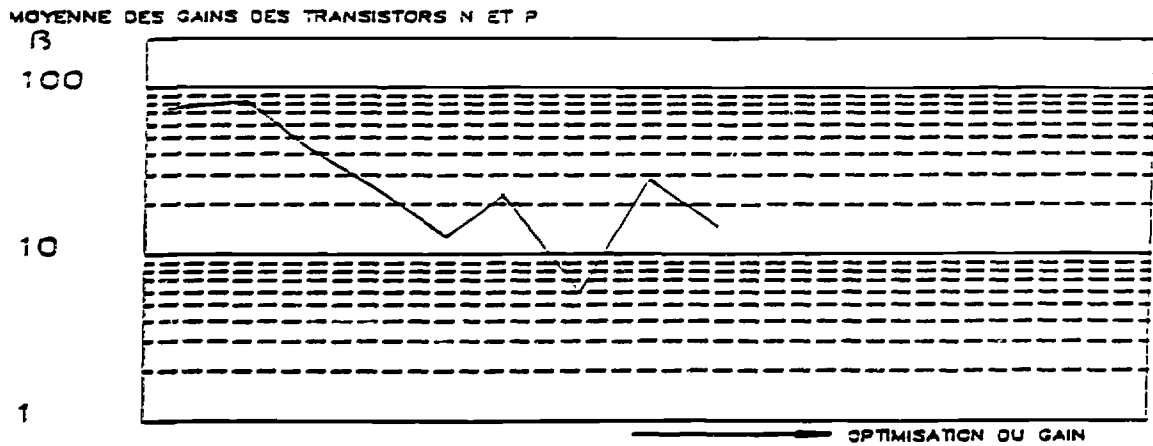


Figure 8. Réduction des gains de transistors bipolaires parasites (Longueur électrique source drain de 1 μ m)

DURCISSEMENT DU TRANSISTOR MOS PRINCIPAL

Le transistor *principal* lui-même peut être plus ou moins durci, par exemple selon les conditions de fabrication de la structure grille/oxyde de grille/silicium actif (¹²).

Selon les conditions de fabrications, les structures obtenues sont qualifiée de "type I" ou "type II".

Sur la figure 10, on peut voir les caractéristiques courant-tension de transistors "circulaires" *sans bords*, obtenus au moyen de ces variantes de fabrication. Ils sont notés respectivement I-0 et II-0.

On notera que les transistors "sans bords", créés uniquement pour des besoins de caractérisations, ne sont jamais utilisés dans les circuits très complexes pour diverses raisons, dont leur taille excessive.

On constate le très bon niveau de durcissement obtenu pour cet oxyde de commande, les dérives de tensions de seuil du transistor N étant inférieures à $\pm 0,2$ volts dans la gamme 0-1 megarad(Si).

Convention de dénomination des structures

On constate que le transistor principal peut être durci ou non durci, et de structure circulaire ou standard. Une typologie est donc nécessaire.

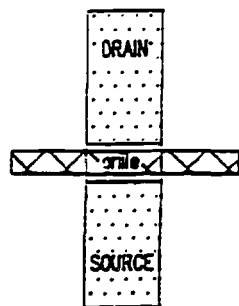
Glossaire : on peut identifier les solutions technologiques selon quatre sigles, selon les caractéristiques de fabrication des transistors et leur topologie.

Identification du procédé de fabrication

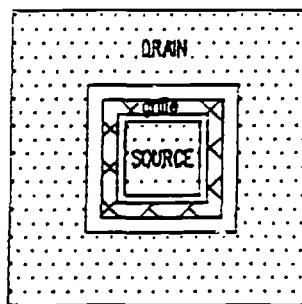
- I : transistor principal non durci
- II : transistor principal à durcissement amélioré

Description de la topologie du transistor élémentaire

- 0 : topologie circulaire
- A : topologie standard

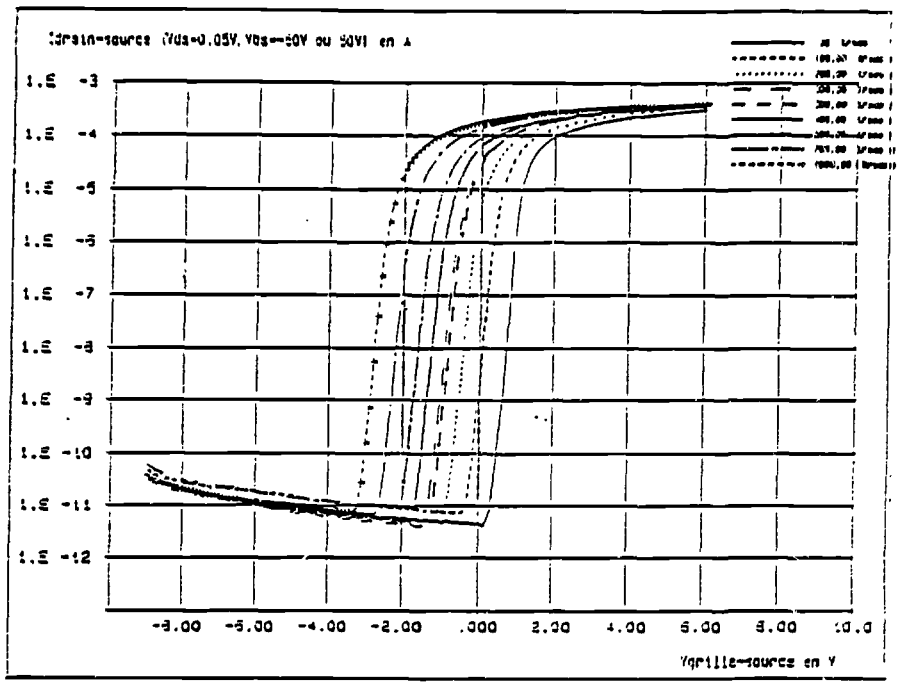


TRANSISTOR
A GEOMETRIE
OUVERTE



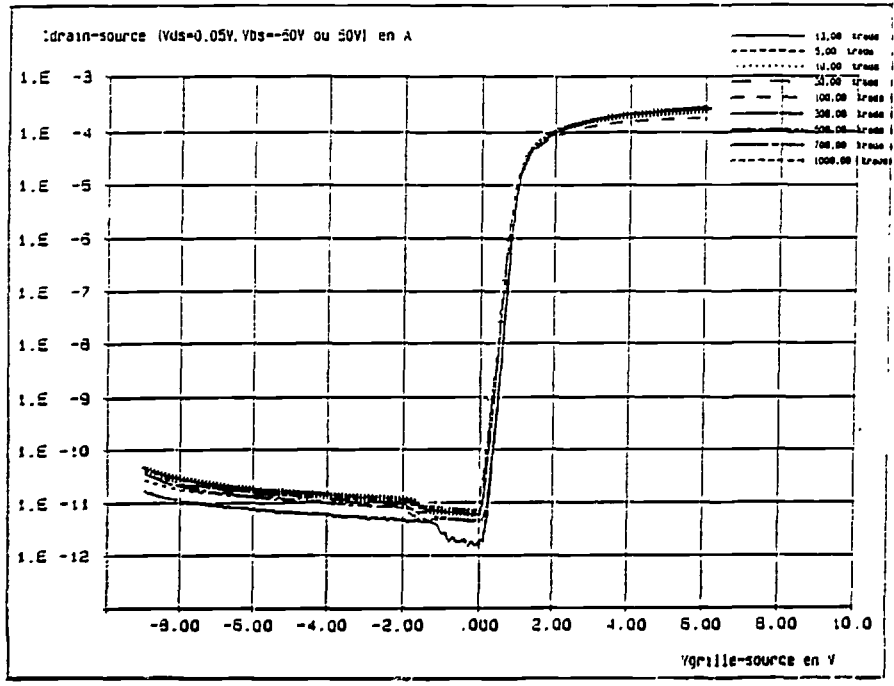
TRANSISTOR
A GEOMETRIE
CIRCULAIRE

Figure 9. Structure de transistor sans bords (géométrie récurrente ou "circulaire")



variante
I-0
TRANSISTORS
SANS BORDS

doses entre
0 et 1 Mrad(Si)



variante
II-0

Figure 10. Transistors MOS/SOI de type N, sans bords, de type I-0 et II-0 entre 0 et 1 megarad(Si)

INCONVENIENTS DES TRANSISTORS MOS PARASITES

Lorsque la dose absorbée croît, les *tensions de seuil* de ces transistors se décalent et ces transistors passent progressivement en conduction. Il en résulte un courant de fuite qui peut devenir une fraction notable du courant de fonctionnement normal du transistor.

Dans les circuits à grande intégration, ces courants de fuite des transistors élémentaires s'ajoutent proportionnellement au nombre de transistors, pouvant entraîner des chûtes de tension dans les "rails" des alimentations internes des circuits intégrés d'où le non-fonctionnement global du circuit. C'est une cause bien identifiée de défaillance en dose intégrée (*).

Sur la figure 11, on voit le même type de variantes, mais avec une structure de transistors standard avec des flancs, non durcis.

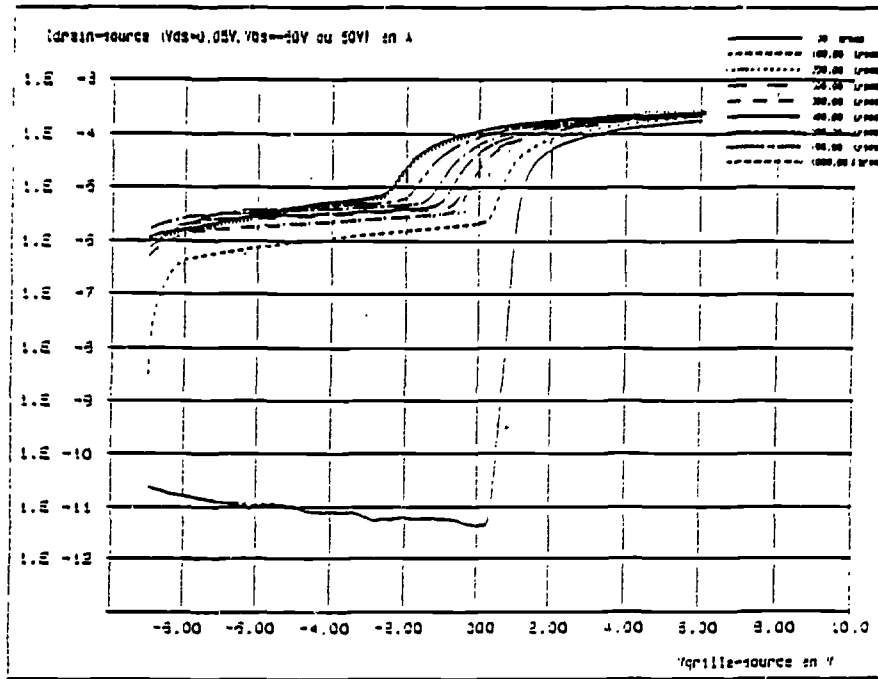
Il s'agit des dégradations observées dans les pire-cas de polarisation des transistors pendant l'irradiation (grille positive par rapport à la source), qui peuvent être réellement exister dans certaines conditions d'emploi ou de fonctionnement des circuits.

Analyse des résultats

Courant de fuite : La valeur du courant de fuite peut se lire sur l'axe vertical d'abscisse $V_{gs} = 0$ V. L'augmentation du courant de fuite est considérable : de 10^{-11} Ampère à 0 krad(Si) à $2 \cdot 10^{-6}$ Ampère à 100 krad(Si).

Tension de seuil : En variante I, une autre cause de courant de fuite apparaît entre 100 et 200 krad(Si) : le transistor principal, non durci, voit sa caractéristique se translater fortement. Le courant de fuite (axe vertical d'abscisse $V_{gs} = 0$ V) passe de $2 \cdot 10^{-6}$ A à 10^{-5} A entre 100 et 200 krad(Si).

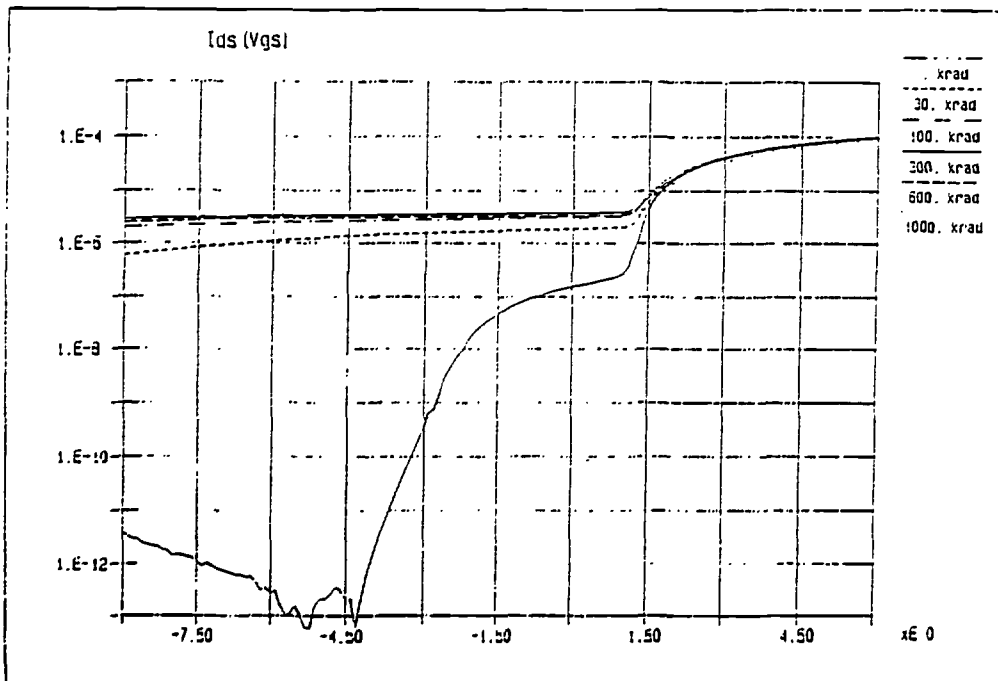
On conçoit qu'un circuit très complexe, par exemple de 10^6 transistors ne puisse fonctionner, compte tenu d'un courant de fuite total de : 10^6 transistors $\times 10^{-5}$ Ampère/transistor = 10 ampères de courant d'alimentation à 100 kilorad(Si).



variante
I-A

TRANSISTOR
STANDARD
AVEC BORDS

doses entre
0 et 1 Mrad(Si)

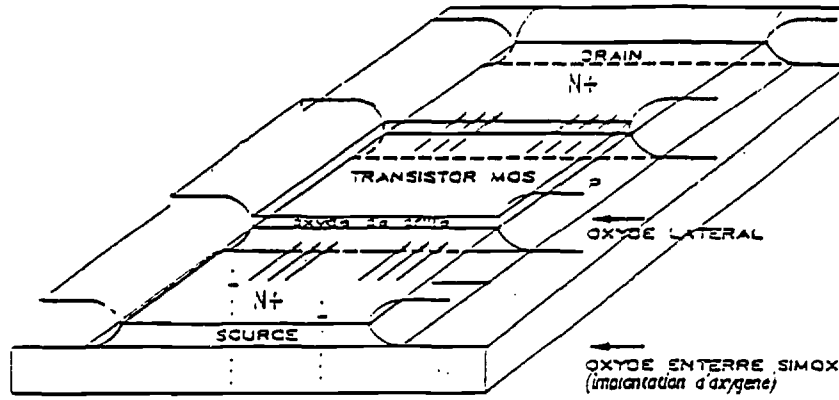


variante
II-A

Figure 11. Transistors MOS/SOI de type N, avec bords, à transistors latéraux non durcis entre 0 et 1 megarad(Si)

Transistors MOS/SOI à structure durcie

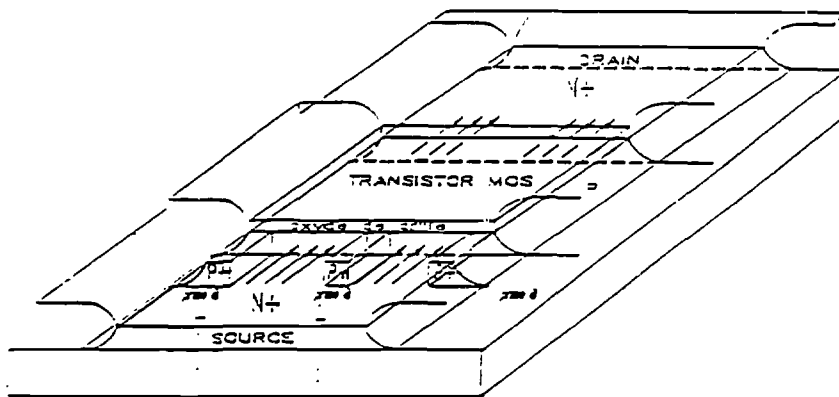
Une amélioration déterminante a été obtenue en modifiant la structure de base. La figure 12 montre la nouvelle structure, dite "à prise B".



- transistor bipolaire central

- transistor MOS lateral

TRANSISTOR SOI SANS PRISE B



- prise centrale pour suppression du courant bipolaire

- prise laterale pour suppression du courant de fuite du transistor MOS lateral

TRANSISTOR SOI AVEC PRISE B

Figure 12. Structure de transistor avec prise B

STRUCTURE SOI A DURCISSEMENT AMELIORE

14

Elle se distingue des structures standard par l'emploi d'implantations P^+ dans la région source des transistors N, et N^+ dans la région source des transistors P (celle-ci étant facultative).

Schéma équivalent de transistors à structure "prise B"

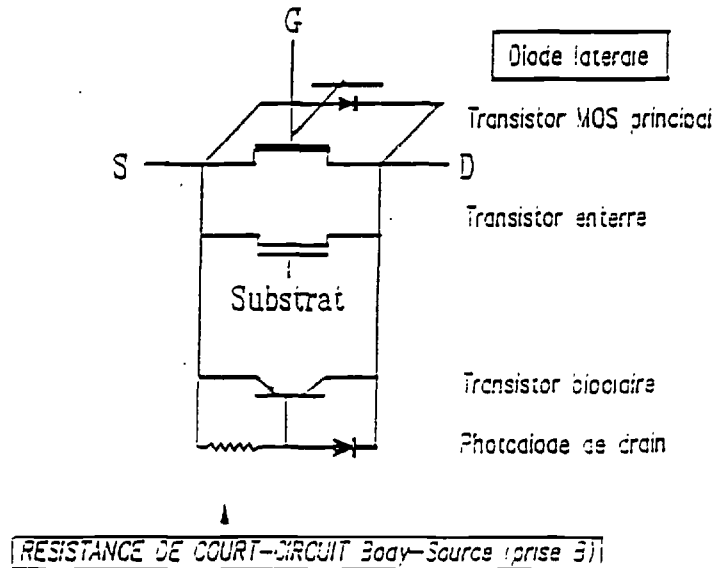


Figure 13. Schéma équivalent de transistors à prise B

Le transistor MOS latéral est remplacé par une diode polarisée en inverse : le courant de fuite latéral est donc supprimé.

De plus, le transistor bipolaire voit sa base initialement flottante ramenée au potentiel de l'émetteur par un "shunt" constitué à partir des dopages P^+ de la prise et du dopage N^+ de la source. Le transistor bipolaire parasite est donc rendu inopérant.

Les effets parasites, inconvénients initiaux des structures MOS/SOI sont donc annulés.

Extension du glossaire de dénomination des structures

O : topologie circulaire
 A : topologie standard
 B : topologie "avec prise" (B signifiant "base" du transistor bipolaire parasite, cf ci-dessus)

Améliorations apportées par les prise B

On voit en comparant les cas "II-B" et "II-0" des figures 10 et 14 que le comportement de transistors "sans bords II-0" et "avec prises II-B" sont semblables.

Courant de fuite : on voit sur la figure 14 que l'utilisation de prises fait disparaître le courant de fuite latéral.

Tension de seuil :

- variante I. Il subsiste un courant dû au décalage de la tension de seuil, qui varie de 10^{-11} à $2 \cdot 10^{-6}$ ampères entre 30 et 100 krad(Si). Pour cette raison, il sera difficile à un circuit de 10^5 transistors en technologie R de dépasser quelques dizaines de kilorad(Si), même doté de prises.

- variante II. On voit que les caractéristiques des transistors "II-B", dotés d'une prise latérale varient extrêmement peu dans la plage d'étude (0 à 1 megarad(Si), ce qui constitue le résultat que l'on cherche à obtenir.

Ceci confirme l'efficacité du procédé de durcissement par l'emploi de prise latérales.

Des circuits complexes fabriqués dans cette structure doivent donc résister bien au-delà du megarad(Si).

Il faut remarquer que ces prises sont suffisamment petites pour pouvoir être ajoutées sans contraintes, automatiquement par un post-processing informatique des fichiers de description des niveaux de designs existants, initialement dépourvus de ces prises.

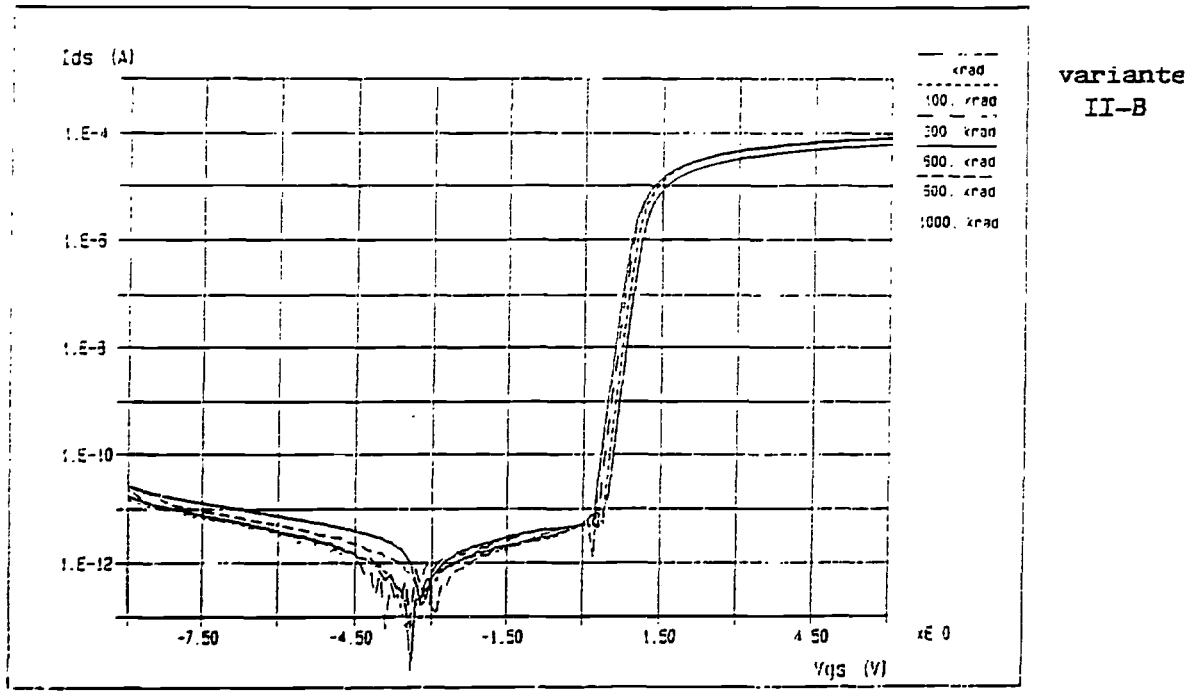
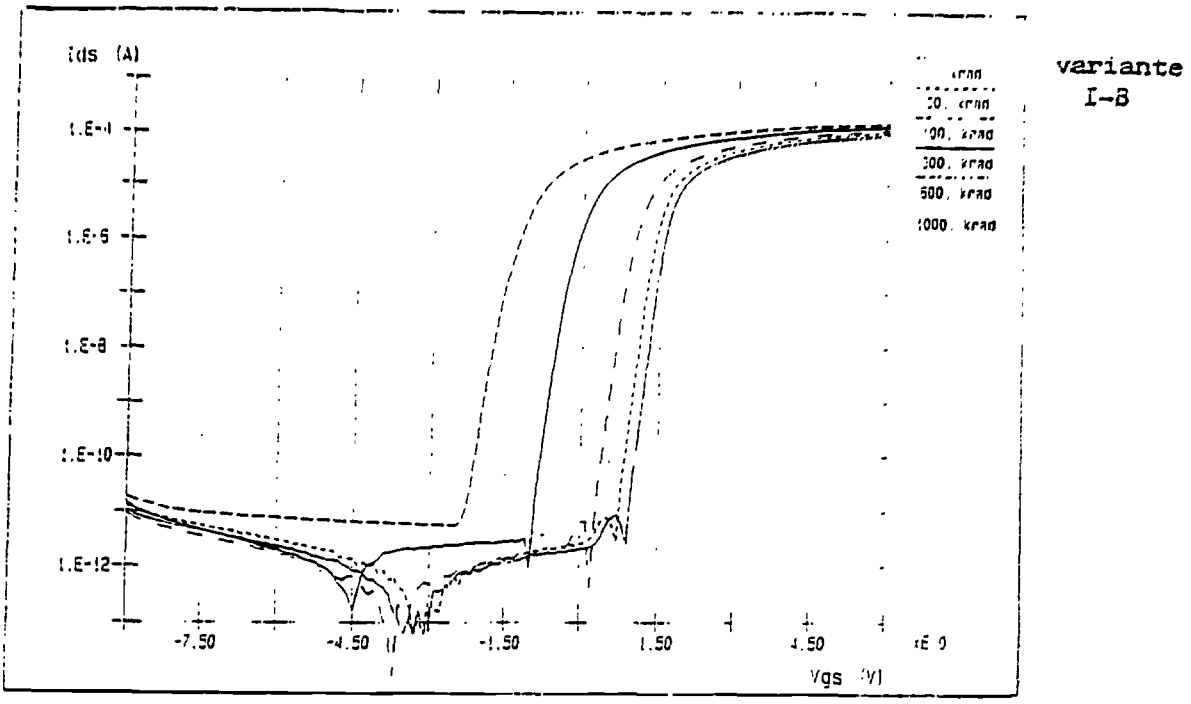


Figure 14. Caractéristiques de transistors MOS/SOI de type N, avec prises B entre 0 et 1 megarad(Si).

On voit sur la figure 15 que les circuits simples peuvent être fonctionnels au-delà de 100 megarad(Si) (les irradiations ont été arrêtées à 350 megarad(Si)).

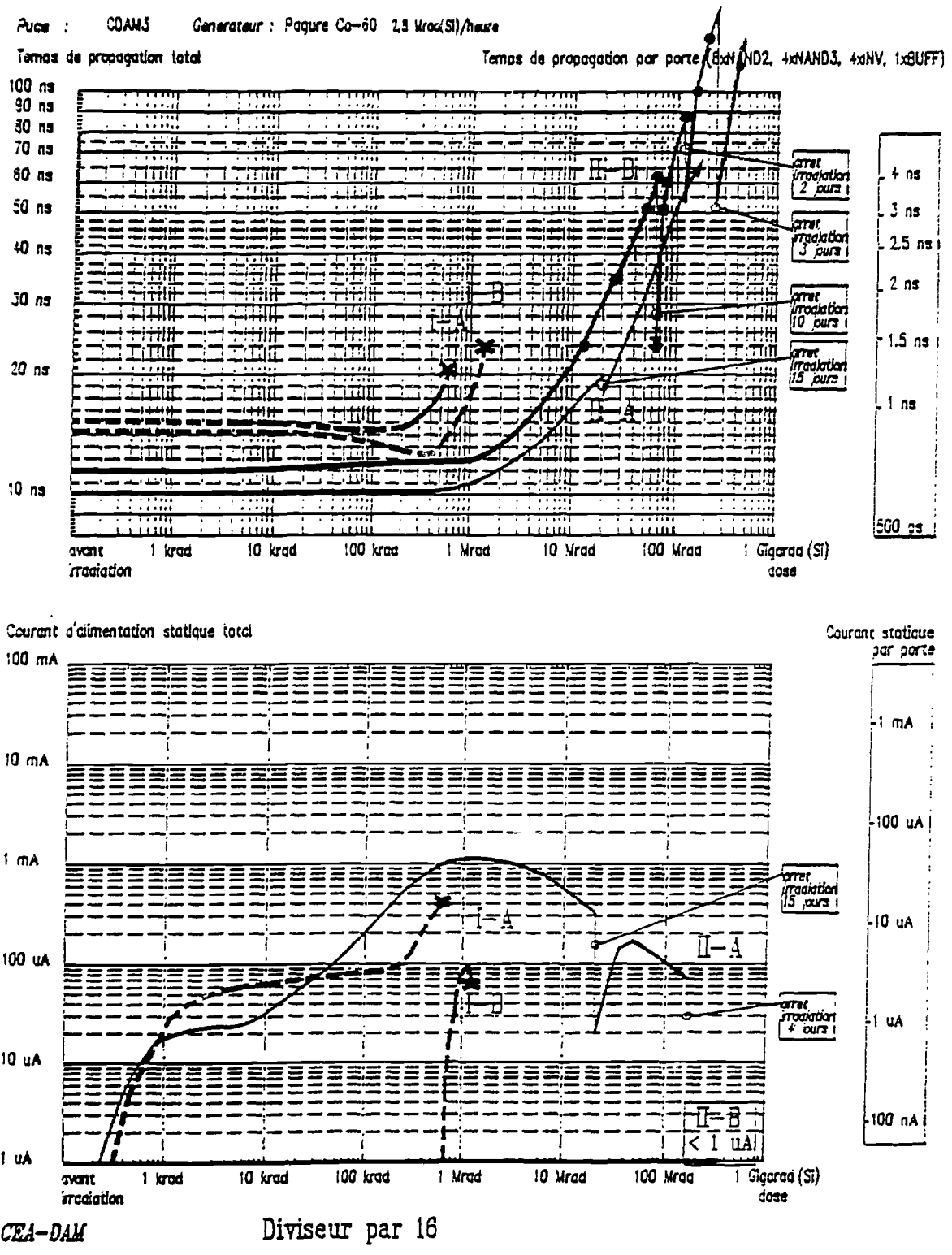


Figure 15. Circuits élémentaires

Dans le cas de la variante à prise, le courant de fuite reste constamment en-deça du seuil de mesure (soit : < 40 nanoampères/porte).

La vitesse maximum, avant irradiation, est de l'ordre de 500 MHz pour ce circuit non conçu pour des performances maximales (longueur de dessin 1,4 µm, cf figure 1). A 100 megarad(Si), le circuit est dix fois plus lent, ce qui conduit à une fréquence maximale > 50 MHz effectivement constatée.

Les échantillons étaient irradiés en configuration statique, déterminée comme un pire-cas global pour maximiser les dégradations. Les mesures étaient effectuées en-ligne pendant l'irradiation de façon à minimiser les effets de "guérison" post-irradiation. L'effet de ces guérisons est notable sur la figure 15 où des périodes d'attente ont été imposées aux circuits, l'irradiation étant interrompue et remplacée par un stockage dormant (circuit non-alimenté).

L'effet de la récupération après irradiation est notable : la vitesse double en quelques heures, ce qui laisse entrevoir que le circuit serait bien moins dégradé lors d'irradiations à plus faible débit (< 2,8 megarad(Si)/heure). Il reste cependant à examiner l'effet d'évolution à très long terme (1 an, 3 ans, 10 ans), associé au phénomènes de "rebond" des caractéristiques (12).

Puce : CDAM3 Générateur : Pagine Co-60 2,8 Mrad(Si)/heure

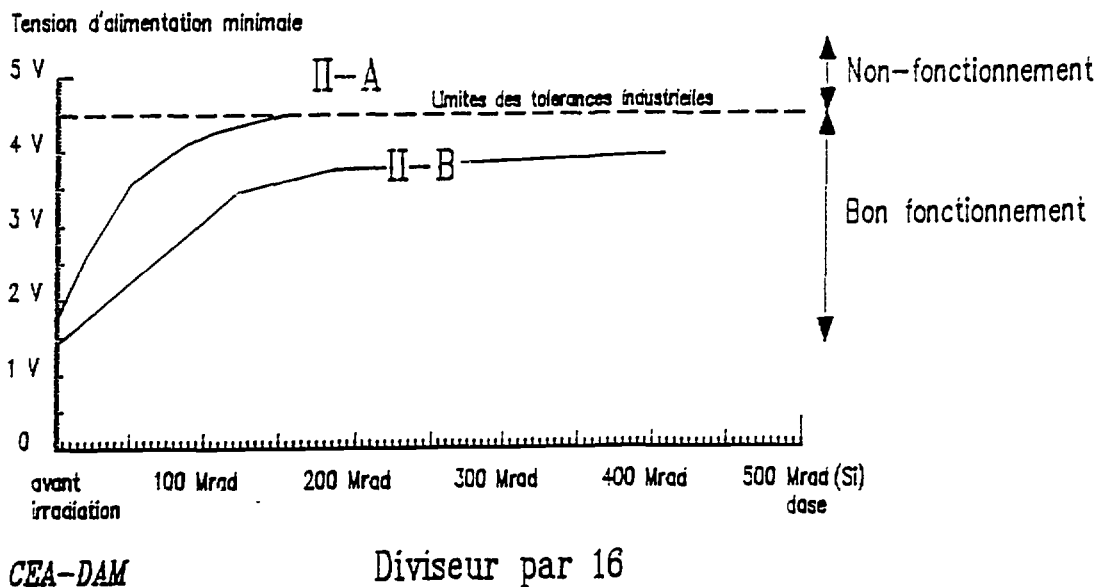


Figure 16. Tension minimale d'alimentation en fonction de la dose

La figure 16 montre l'évolution de la *tension minimale d'alimentation* permettant le fonctionnement des circuits : comme les allocations de tolérance concernant ce paramètre sont généralement de 5 V ± 10%, on voit que la marge est encore bonne au-delà de 100 megarad(Si).

Variantes à prise B

La consommation statique est indépendante de la dose d'irradiation. Les augmentations de temps de propagation ou de temps de cycle suivent les lois exprimées pour les circuits simples (figure 15). Les tolérances internes sur les variations de temps de propagation conduisent à des défaillances en deça de celles relatives aux fonctions simples. Les tests ont donné des limites de 350 krad(Si) pour les produits I-B et au moins 10 megarad(Si) pour des produits II-B de 15 000 transistors, du type ASIC-29101. Bien entendu, ces chiffres ne sont pas des absolus mais dépendent de l'ensemble des chemins critiques de propagation des signaux.

Variantes sans prise B

Pour les RAM d'usage général réalisés en I-A, non spécifiquement conçus pour le SOI, et distincts des produits ASIC réalisés en I-B ou II-B, les niveaux limites obtenus sont de l'ordre de 20 krad(Si) pour les RAM16k. On peut remarquer que ces chiffres sont indicatifs et non absolus, car le mode de défaillance est ici aussi conditionné par l'organisation du circuit.

Les temps d'accès de la mémoire 16 kbits sont de l'ordre de 6 nanosecondes à -55°C, et 13 ns à +125°C (11 ns typiques à 25°C). Vers 20 krad(Si), les consommations statiques sont de l'ordre de 2 mA et les temps de propagation augmentent de 30%.

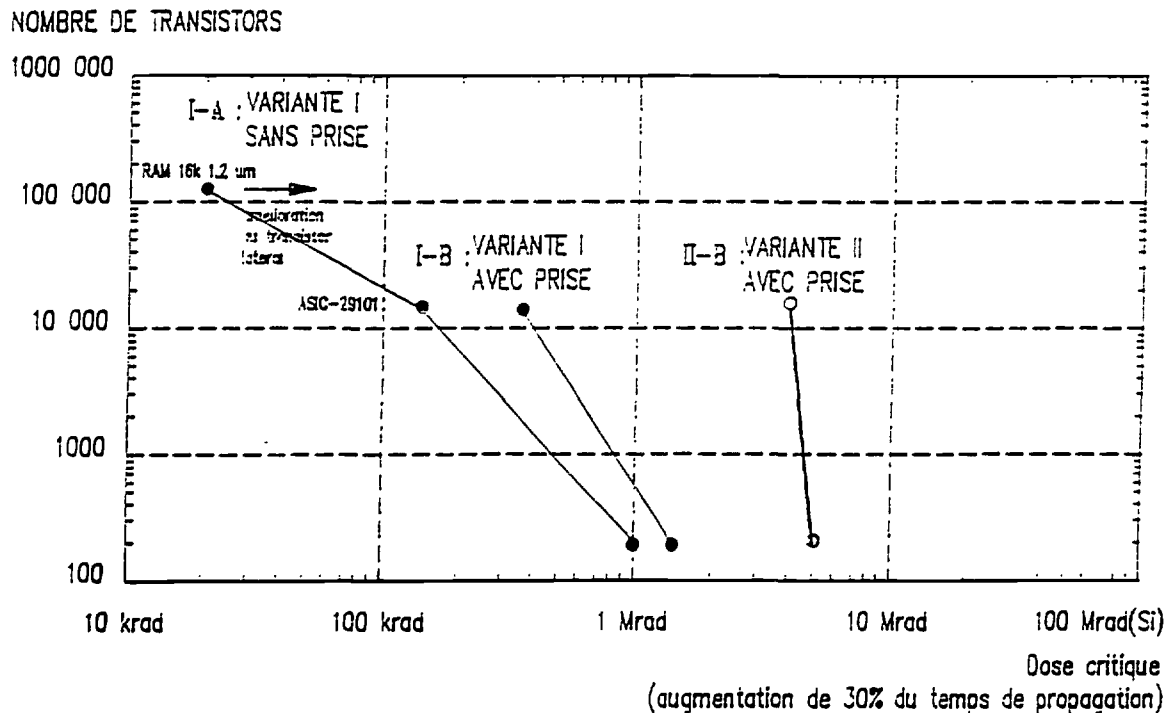


Figure 15. Circuits simples et circuits complexes

CONCLUSION

Ces éléments et ces analyses montrent qu'une technologie CMOS/SOI très rapide et très durcie aux principaux environnements radiatifs est possible et a été mise au point, porteuse de très nombreuses potentialités, parmi lesquelles le fonctionnement possible bien au-delà de 10 megarad(Si) et l'insensibilité aux perturbations causées par le rayonnement cosmique.

Cette mise au point, particulièrement délicate, a conduit à tenir compte d'effets MOS et d'effets bipolaires parasites excités par les rayonnements.

Inversement, la mise au point de procédés bipolaires sur SOI durcis nécessiteraient de tenir compte d'effets MOS parasites et d'effets parasites dans le transistor bipolaire lui-même.

On voit que chaque évolution des techniques microélectroniques s'accompagne d'une remise en cause des compromis retenus en vue du durcissement au cours de l'étape précédente. La nécessité de travaux de durcissement qui doivent accompagner cette évolution est donc permanente, compte tenu de l'évolution perpétuelle des technologies.

BIBLIOGRAPHIE

- [1] J.L. Leray, *Assessments of SOI technologies for hardening*, Microelectronic Engineering, vol 8, 3-4, dec 1988, 187
- [2] E. Dupont-Nivet, A. Umbert, J.L. Leray, L.M. Mercandalli, B. Dessertenne, D. Dieumegard, J. Siejka, J.J. Aubert, *MOS/SOZ : a technology for radiation-hardened devices* Electr. Soc. Spring Meeting (Atlanta, Georgia, 1988)
- [3] P. Hesto, C. Pellet, C. Schwebel, A. Bosseboeuf, D. Bouchier, E. Dupont-Nivet, J.L. Leray, M. Raffaelli, *Durcissement du transistor MIS à canal superdopé en silicium épitaxié sur zircone*, ce volume
- [4] G.E. Davis, *SOI applications*, IEEE/ISCC workshop, San Francisco (1988)
- [5] D. Bensahel, G. Bomchil, *Le silicium sur isolant : état de l'art et perspectives d'avenir*, l'onde électrique, vol. 69, 1
- [6] J.L. Leray, E. Dupont-Nivet, O. Musseau et al., *From substrate to VLSI : investigations of hardened SIMOX without epitaxy, for dose, dose rate and SEU phenomena*, IEEE trans. on Nuclear Science, NS-35, 6, dec 1988
- [7] J.L. Leray, O. Musseau, E. Dupont-Nivet, J.F. Péré, Y.M. Coic, *Etude de la sensibilité aux ions lourds cosmiques et à la dose intégrée de microprocesseurs en tranches en technologies CMOS et CMOS sur isolant*, 6^{ème} colloque international de fiabilité (ICRM-88), Strasbourg (1988)

[8] O. Musseau, J.L. Leray, Y.M. Coic, Y. Patin, C. Humeau, *Effets des ions lourds dans les structures MOS et CMOS sur isolant (CMOS/SIMOX)*, ce volume, et M. Mouis, P. Hesto, O. Musseau, *Modélisation Monte-Carlo de l'effet des radiations sur un transistor MOS/SOI*, ce volume

[9] G.E. Davis, L.R. Hite, T.G.W. Blake, C.E. Lam, R. DeMoyer, *Transient radiation effects in SOI memories*, IEEE trans. on Nuclear Science, NS-32, 6, 4432 (1985)

[10] R. Gaillard, *Effets du débit de dose sur les composants électroniques*, formation RADECS, Montpellier-La grande Motte (11 septembre 1989)

[11] J.L. Leray, E. Dupont-Nivet, J.F. Péré, O. Musseau, P. Lalande, A. Umbert, *Limiting factors for VLSI high-level hardness : modeling and improving* IEEE SOI workshop, Lake Tahoe, Nevada (03 oct. 1989)

[12] J.L. Leray, *Structures à effet de champ de type MOS en irradiation : effet de la dose de rayonnements*, formation RADECS, Montpellier-La grande Motte (11 septembre 1989)