

NIKHEF-K - DIGEL - 1990-3

TIJD-INTERPOLATOR

afstudeeropdracht van

**M. de Blok
Algemene Hogeschool Amsterdam**

bij

**NIKHEF-K
afdeling DIGEL**

bedrijfsbegeleider:

H. Verkooijen

8 juni 1990

TIJD-INTERPOLATOR

afstudeeropdracht van

M. de Blok
Algemene Hogeschool Amsterdam

bij

NIKHEF-K
afdeling DIGEL

bedrijfsbegeleider:

H. Verkooijen

8 juni 1990

Voorwoord

Het instituut NIKHEF-K (Nationaal Instituut voor Kernfysica en Hoge-Energiefysica) te Amsterdam houdt zich bezig met wetenschappelijk onderzoek op het gebied van de kernfysica. Dit onderzoek wordt uitgevoerd met behulp van een 200 meter lange lineaire elektronenversneller, die nu met een pulsstrekkingring uitgebreid wordt. Met deze versneller worden elektronen op een doel geschoten. De reactieprodukten die hierbij ontstaan (protonen, neutronen, etc.) worden gedetecteerd met behulp van detectoren, zoals dradenkamers en scintillatoren met fotomultiplifiers.

Van deze reactieprodukten wil men zoveel mogelijk te weten te komen. Bijvoorbeeld de richting en de energie. Maar ook het tijdsverschil tussen de reactieprodukten is interessant om twee redenen:

Ten eerste kan men daarmee bepalen of de reactieprodukten van dezelfde gebeurtenis afkomen, dat wil zeggen of ze coincident zijn. Hiervoor is een resolutie van ongeveer 10 ns voldoende.

Ten tweede kan men, als de aankomsttijd nauwkeuriger wordt gemeten, ook nog andere grootheden bepalen, bijvoorbeeld de snelheid en daarmee de energie van de deeltjes, of als de energie al bekend is, is uit de energie en snelheid weer de massa van het deeltje te berekenen.

Aangezien voor het detecteren van deze reactieprodukten geavanceerde meetinstrumenten nodig zijn, die vaak niet eens te koop zijn, wordt er op de afdeling digitale elektronica (Digel) van het NIKHEF-K gewerkt aan de ontwikkeling, verbetering en onderhoud van dit soort meetinstrumenten.

Zo ontstond de behoefte aan een meetinstrument voor het meten van tijdsverschillen met een resolutie van 100 ps en een maximale meettijd van 6,4 μ s (25 ns x 2⁴).

Dit project is begeleid door Hans Verkooijen, die ik hiervoor in het bijzonder wil bedanken. Tevens wil ik Hans van Es en Evert Kwakkel bedanken, die het mij mogelijk hebben gemaakt mijn afstudeeropdracht bij NIKHEF-K te kunnen uitvoeren. Tenslotte wil ik Jan Visschers bedanken, die mij geholpen heeft het meetinstrument met behulp van een computer te testen.

Inhoudsopgave

Samenvatting	1
1 Inleiding	2
2 Principe en blokschema	3
2.1 Het principe	3
2.2 Het blokschema	4
3 Realisatie	6
3.1 Wat is ECL?	6
3.2 Waarom ECL?	6
3.3 ECL ontwerpregels	7
3.3.1 Impedantie van de draden	7
3.3.2 Maximale draadlengtes	8
3.3.3 Ideale waarde van de afsluitweerstand	12
4 De invulling van het blokschema	14
4.1 De logica	14
4.2 De time to amplitude converter	14
4.2.1 De maximale hersteltijd van de TAC	19
4.3 De foutsignalerings elektronica	19
4.4 Het klokmodule	20
4.5 De real-time inklok logica	20
5 De afregelprocedure	21
6 De testopstelling en meetresultaten	22
6.1 Het instelbare delay	22
6.2 De meetresultaten	22
7 Bijkomstige analyses	23
Conclusie	24
Literatuurlijst	25
Bijlagen	26
Bijlage 1: Het blokschema	27
Bijlage 2: De logica	28
Bijlage 3: Het tijddiagram	29
Bijlage 4: De Time to Amplitude Converter	30
Bijlage 5: De foutsignalerings elektronica	31
Bijlage 6: Het klokmodule	32
Bijlage 7: De real-time inklok logica	33
Bijlage 8: Het instelbare delay	34
Bijlage 9: De TDR-meting	35
Bijlage 10: Lineariteit van de ADC	36
Bijlage 11: Computer analyse 1	37
Bijlage 11: Computer analyse 2	38

Bijlage 13: Computer analyse 3	39
Bijlage 14: Computer analyse 4	40

Samenvatting

In dit verslag wordt een tijd-interpolator beschreven waarmee tijdsverschillen gemeten kunnen worden met behulp van digitale en analoge technieken. Het gaat hier om een maximale meettijd van 6,4 μ s met een resolutie van 100 ps. Hierbij wordt gebruik gemaakt van Emitter Coupled Logic (ECL) en analoge van hoogfrequent technieken.

De moeilijkheid bij het gebruik van ECL-logica is het zo kort mogelijk houden van de onderlinge verbindingen en het juist afsluiten van de uitgangen, om reflecties te vermijden.

Het digitale deel van de tijd-interpolator bestaat uit een continu lopende klok en logica die van een ingangssignaal een start- en stopsignaal maakt. Het analoge deel bestaat uit een Time to Amplitude Converter (TAC) en een analoog naar digitaal converter.

1 Inleiding

Er zijn verschillende manieren om tijdsverschillen te meten. De bekendste is de TDC (Time to Digital Converter) waarvan er twee soorten bestaan, namelijk de volledig digitale uitvoering en de TAC (Time to Amplitude Converter).

Voor de volledig digitale uitvoering geldt: één puls start een teller en een andere puls stopt de teller. Het grote voordeel van dit principe is dat de meettijd groot kan zijn. Een nadeel is een slechte resolutie. Voor een resolutie van bijvoorbeeld 1 ns is er een teller nodig die werkt op 1 GHz.

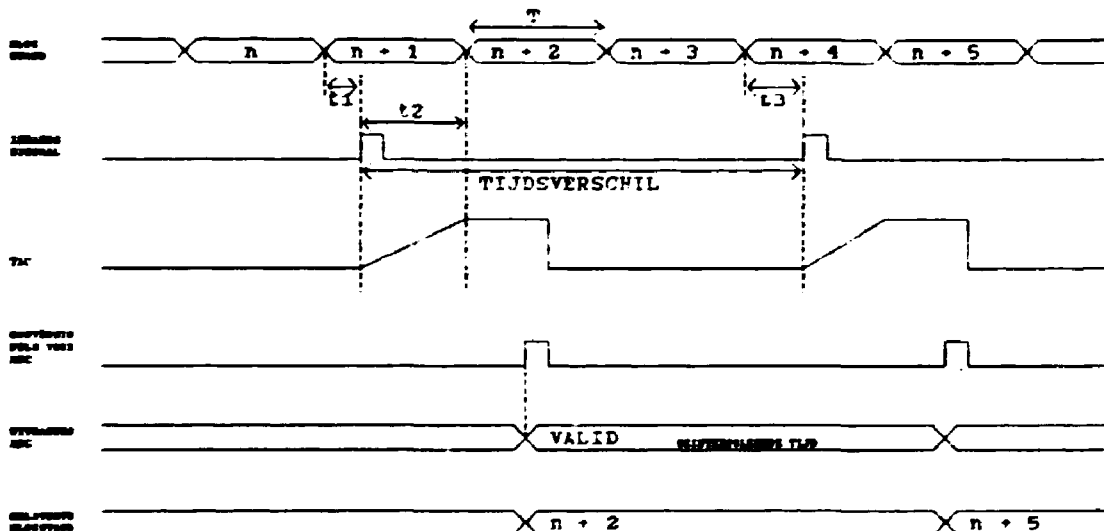
Voor de TAC geldt: een zaagtand wordt opgestart met een startpuls en gestopt met een stoppuls. De hoogte van de zaagtand wordt dan in een ADC ingelezen en geconverteerd naar een binaire waarde. Het voordeel hiervan is een grote resolutie. Een nadeel is de kleine meettijd.

De manier die hier gekozen is een digitale klok (lange tijden) waarbij de periodetijd geïnterpoleerd wordt met behulp van een TAC. De moeilijkheid hiervan is te interpoleren in de goede periode (de grensgevallen van de digitale periode), het mag namelijk niet voorkomen dat er één periode te vroeg of te laat wordt gemeten.

2 Principe en blokschema

2.1 Het principe

Het principe berust op een continu lopende digitale klok, waarbij de periodetijd ten tijde van eeningangssignaal geïnterpoleerd wordt. Elke keer als er eeningangssignaal komt wordt er een tijd gestempeld (zoals bij een prikklok). Komen er nu twee of meeringangssignalen binnen een omlooptijd van de digitale klok, dan worden er ook evenveel tijden gestempeld. Voor het tijdsverschil moeten deze tijden later (software-matig) van elkaar afgetrokken worden. Het principe is het best uit te leggen aan de hand van een tijddiagram (zie figuur 2.1.1).



Figuur 2.1.1 Het tijddiagram

In het tijddiagram onderscheiden we de volgende aanduidingen:

- T = periodetijd (25 ns) van de binaire teller (Most Significant Bits)
- t_1 = de geïnterpoleerde tijd van het eersteingangssignaal (Least Significant Bits)
- t_2 = output van de ADC
- t_3 = de geïnterpoleerde tijd van het tweedeingangssignaal

Hetingangssignaal (event) heeft tot gevolg dat er een zaagtand wordt opgestart. Deze zaagtand bepaalt de tijd t_2 , die op het moment dat de conversie puls op de klok ingang van de ADC wordt gezet op de uitgang als binaire waarde verschijnt. Aangezien de zaagtand de tijd t_2 bepaalt, terwijl we geïnteresseerd zijn in tijd t_1 , is het noodzakelijk

hardware-matig t_1 te bepalen. Dit wordt gedaan door t_2 te inverteren, er wordt dan als het ware in de tijd terug gekeken. Voor t_1 , binair gezien, geldt dan:

$$t_1 = \overline{t_2}$$

Het zelfde principe geldt ook voor t_3 . Deze twee tijden worden later software-matig van elkaar afgetrokken. Hiervoor geldt dan:

$$\Delta t = t_3 - t_1$$

Na ieder ingangssignaal wordt ook de tellerstand ingeklokt zodat de ingeklokte tellerstanden eveneens later software-matig van elkaar afgetrokken kunnen worden. In het tijddiagram wordt als voorbeeld $n + 2$ en $n + 5$ ingeklokt, hieruit volgt dan:

$$\Delta \text{teller} = 5 - 2 = 3$$

Dus tussen de twee ingangssignalen zijn drie klokperioden plus een gedeelte, t , van een klokperiode verstreken. Het tijdsverschil tussen de twee ingangssignalen wordt nu:

$$\text{tijdsverschil} = \Delta \text{teller} + \Delta t$$

2.2 Het blokschema

In bijlage 1 zien we het blokschema. In verband met de lineariteit van het interpolatie mechanisme is de Time to Amplitude Converter met de ADC het belangrijkste deel van het blokschema. De TAC zorgt voor het omzetten van de start en de stoppuls naar een zaagtand met een hoogte die evenredig met de tijd tussen start en stop is. De ADC leest die hoogte in en converteert deze naar een acht bits binaire waarde, welke de interpolatietijd (Least Significant Bits) vertegenwoordigt.

De logica dient voor het creëren van een start- en een stoppuls. De startpuls wordt veroorzaakt door het binnenkomend event en de stoppuls wordt veroorzaakt door een eerstvolgende opgaande flank van de digitale systeemklok (sysclk). Verder bevat de logica nog enkele uitgangen voor het stempelen van de ADC (adcclk) en een real time clock (rtclk) om de vrijlopende teller in te klokken. Tevens wordt er een strobe en een pre-strobe uitgang voor de computer gemaakt.

Het klokmodule is voor het genereren van de digitale systeemklok en het aansturen van de acht flip-flop's (de real-time inklok logica) door middel van een acht bits binaire teller. De klokpulsen voor de ADC en de acht flip-flop's worden gesynchroniseerd met de systeemklok. De acht flip-flop's produceren een acht bits binaire waarde, welke de Most Significant Bits vertegenwoordigen.

Als laatste hebben we de foutsigalerings elektronica.

Met deze elektronica kan bepaald worden of de zaagtand van de TAC precies binnen de grenzen van één periodetijd van de binaire teller valt, zodat de TAC eenvoudig afgeregeld kan worden.

3 Realisatie

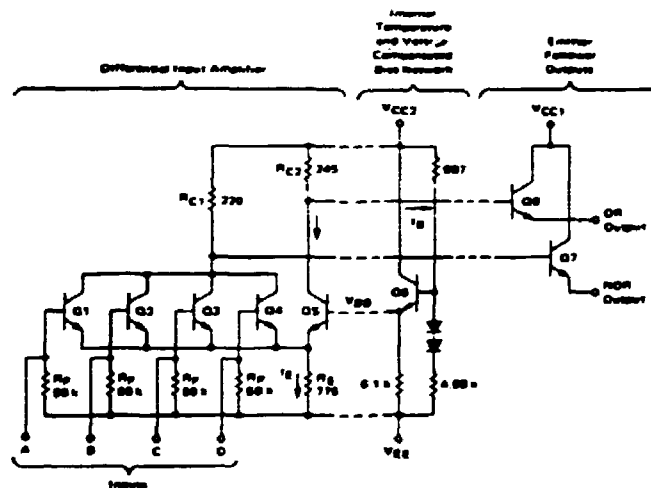
Voor de realisatie van de tijd-interpolator wordt er gebruik gemaakt van analoge hoogfrequent technieken en Emitter Coupled Logic (ECL).

3.1 Wat is ECL?

ECL is een logische familie, die het toestaat om met zeer hoge snelheden te werken. De naam ECL heeft betrekking op de manier waarop de emitters van de verschilversterker aangesloten worden (zie figuur 3.1.1). De verschilversterker zorgt voor een hoge ingangsimpedantie en voor de spanningsversterking, terwijl de emittervolger het logische niveau herstelt en voor een lage uitgangsimpedantie zorgt.

Deze familie is daarom zo snel, omdat de transistoren van de verschilversterker nooit in verzadiging gaan. Daardoor is de hersteltijd van een poort of inverter kort. Ook de spanningszwaai is klein, wat de snelheid vergroot.

De logische niveaus van ECL bevinden zich tussen de $-0,9$ V voor de logische 1 en de $-1,75$ V voor de logische 0, terwijl het omslag punt op $-1,3$ V ligt.



Figuur 3.1.1 Een ECL poort

3.2 Waarom ECL?

Ten eerste omdat het één van de snelste vormen van logica is met zeer korte delaytijden (ongeveer 2 ns).

Enkele voordelen van ECL:

1. zeer snel
2. lage uitgangsimpedantie
3. hoge ingangsimpedantie

4. grote fanout
5. constante voedingsstroom als functie van de frequentie
6. lage ruis
7. complementaire logische uitgangen beschikbaar
8. lage overspraak tussen signaaldraden
9. uitgangen zijn gebufferd
10. mogelijkheid van wired-OR
11. Common Mode Rejection Ratio (CMRR) van ruis en voeding variaties groter dan 1 V
12. enkelvoudige voeding.

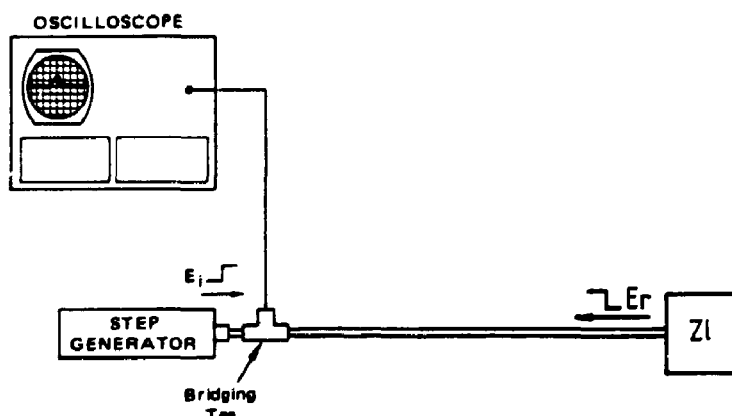
3.3 ECL ontwerpregels

Aangezien het ontwerpen met behulp van ECL technieken speciale aandacht verdient voor wat betreft de hoogfrequentie eigenschappen, volgen hier enkele aandachtspunten.

3.3.1 Impedantie van de draden

Bij het prototype van de tijd-interpolator wordt gebruik gemaakt van koper-epoxy printplaat dat wordt gebruikt als massavlak. De onderlinge verbindingen bestaan uit draad met een oliekous als isolatie. De combinatie van het massavlak en de verbindingen bezit een impedantie tussen de 90 en 120 Ω .

De exacte impedantie is met behulp van TDR-meting (Time Domain Reflectometer) bepaald en wordt als volgt uitgevoerd: Een massa vlak met daarop een bepaalde lengte draad wordt aangesloten op een pulsgenerator met een puls hoogte van 200 mV. Het uiteinde van het stukje draad wordt afgesloten met een weerstand van 50 Ω (Z_{ref}). In figuur 3.3.1.1 is de totale meetopstelling te zien.



Figuur 3.3.1.1 Time Domein Reflectometer

Op de sample oscilloscoop ontstaat een plaatje zoals te zien is in bijlage 9. Hieruit is het volgende te berekenen (twee

situaties):

Situatie 1: draad strak op het massavlak.

$$\Gamma = \frac{U_1}{U_2} = \frac{60}{200} = 0,3$$

$$Z_{\text{draad}} = \left(\frac{1 + \Gamma}{1 - \Gamma} \right) \times Z_{\text{ref}} = \left(\frac{1 + 0,3}{1 - 0,3} \right) \times 50 = 92,86 \Omega$$

Situatie 2: draad ongeveer 3 millimeter boven het massavlak.

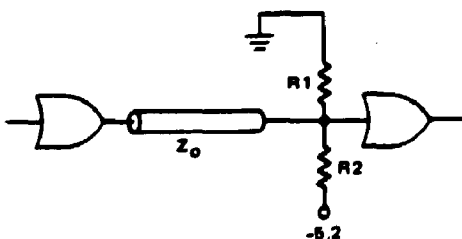
$$\Gamma = \frac{U_1}{U_2} = \frac{95}{200} = 0,475$$

$$Z_{\text{draad}} = \left(\frac{1 + \Gamma}{1 - \Gamma} \right) \times Z_{\text{ref}} = \left(\frac{1 + 0,475}{1 - 0,475} \right) \times 50 = 140,48 \Omega$$

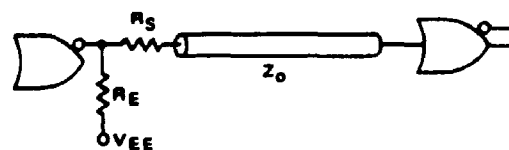
In verband met dissipatie wordt meestal een hoogohmige afsluitweerstand van 470Ω gebruikt. De meeste reflecties treden dan op bij een lijnimpedantie van 90Ω . Aangezien er wordt uitgegaan van de minst ideale situatie (worst-case) bij het afsluiten van de lijn, wordt in de berekeningen vanuit gegaan dat de lijnimpedantie ongeveer 90Ω is.

3.3.2 Maximale draadlengtes

De constructie van ECL poorten is zodanig dat uitgangen altijd (via een weerstand) aan een negatieve voedingsspanning gelegd moeten worden. Bij het gebruik van relatief hoge frekwenties moet men er op letten dat uitgangen, in verband met reflecties, altijd karakteristiek worden afgesloten. Het is hierbij belangrijk dat de gebruikte afsluitweerstand zo dicht mogelijk de karakteristieke impedantie van de transmissielijn benaderen. Hiervoor zijn dan verschillende oplossingen te bedenken (zie figuur 3.3.2.2 en 3.3.2.3).

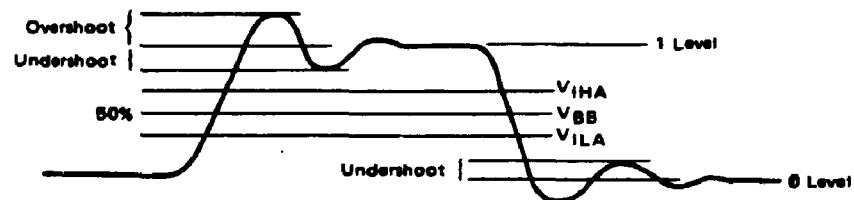


Figuur 3.3.2.2



Figuur 3.3.2.3

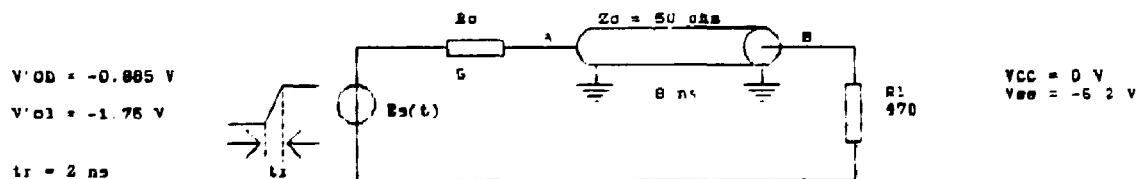
Deze eis is echter nogal arbeidsintensief, vooral voor een prototype. De bedrading moet dan met coaxkabel uitgevoerd worden met en laagohmige afsluitweerstand. Dit vereist weer een extra voedingsspanning. Meestal worden de reflecties genegeerd en voor een afsluitweerstand, in verband met dissipatie, van 470Ω gekozen, die aangesloten wordt aan de $-5,2 \text{ V}$ voedingsspanning. Een afsluitweerstand van 470Ω blijkt echter geen optimum tussen reflectie en dissipatie te zijn. Het is daarom interessant te weten bij de gebruikte afsluitweerstand in de schakeling welke maximale draadlengten toegestaan zijn, zodat de over- en undershoot binnen de perken blijven. Voor de definitie van de over- en undershoot zie figuur 3.3.2.1.



Figuur 3.3.2.1 Over- en undershoot

In figuur 3.3.2.4 is een vervangschema weergegeven. De berekening voor de maximale draadlengte en de maximale over- en undershoot is als volgt:

N.B. Bij deze berekeningen is uitgegaan van een lijnimpedantie van 50Ω in plaats van 90Ω , in verband met een testopstelling voor het maken van een foto van het oscilloscoopbeeld.



Figuur 3.3.2.4 Vervangschema transmissielijn

Voor de reflectiecoëfficiënt bij de belasting geldt:

$$\Gamma_1 = \frac{R_1 - Z_0}{R_1 + Z_0} = \frac{470 - 50}{470 + 50} = 0,808$$

Voor de reflectiecoëfficiënt bij de bron geldt:

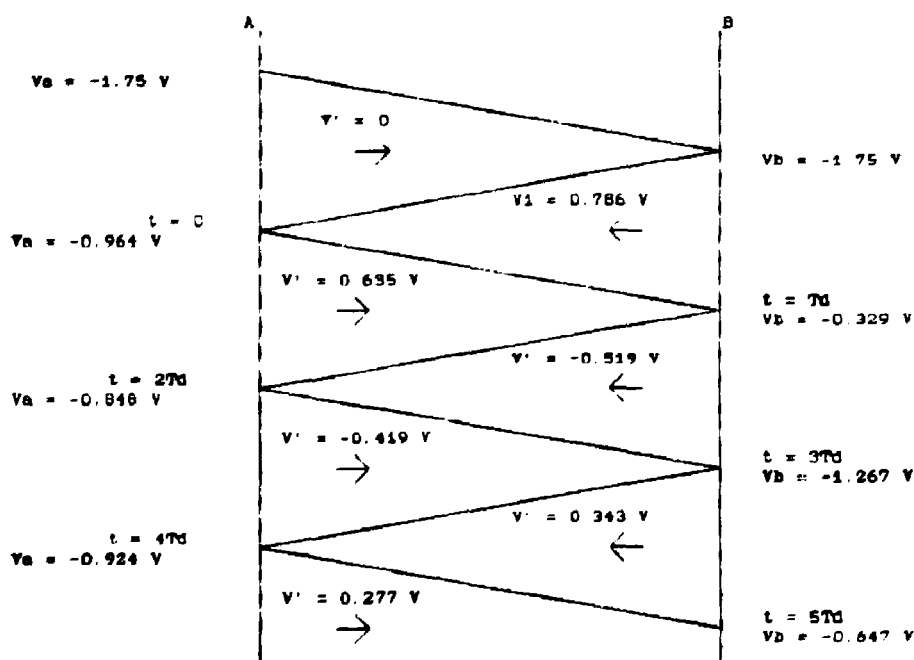
$$\Gamma_s = \frac{R_o - Z_o}{R_o + Z_o} = \frac{5 - 50}{5 + 50} = -0,818$$

Verder geldt er nog:

$$V_a(t) = (V'_{oh} - V'_{ol}) \left(\frac{Z_o}{Z_o + R_o} \right) = V_1$$

$$V_1 = (-0,885 - (-1,75)) \left(\frac{50}{50 + 5} \right) = 0,786 \text{ V}$$

Dus op $t = 0$ plant een golf $V_1 = 0,786 \text{ V}$ zich voort op de lijn naar $t = T_d$ (T_d is de tijd die nodig is om de golf over de lijn van A naar B te laten lopen). Deze wordt weer gereflecteerd naar $t = 2T_d$, maar dan als het produkt van de reflectiecoëfficiënt en V_1 . Dit duurt voort totdat er een steady state wordt bereikt ($-0,885 \text{ V}$). Om nu de spanning op punt B te vinden, bijvoorbeeld voor $t = T_d$, worden alle spanningen die vertrekken en aankomen in dit punt opgeteld (zie figuur 3.3.2.5).



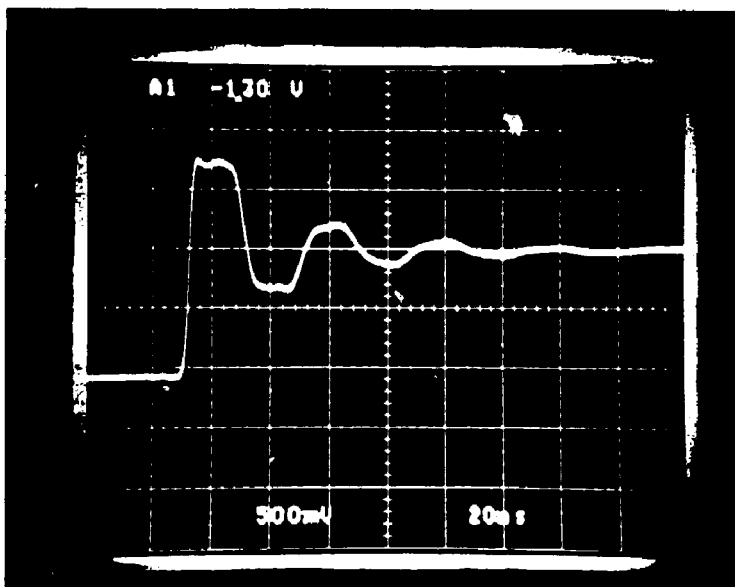
Figuur 3.3.2.5 Reflecties

Hieruit volgt dat de voor de over- en undershoot geldt:

$$\text{overshoot} = -0,329 - (-0,885) = 556 \text{ mV}$$

$$\text{undershoot} = -1,267 - (-0,885) = -382 \text{ mV}$$

Ter controle van de berekening is in figuur 3.3.2.6 een foto van het oscilloscoopbeeld weer gegeven. Hieruit blijkt dat de berekeningen aardig overeen komen met de werkelijkheid.



Figuur 3.3.2.6 Het oscilloscoopbeeld

Wanneer er vanuit gegaan wordt dat bij $t = 4T_d$ de undershoot geen invloed meer heeft op het omslag punt van $-1,3 \text{ V}$ en dat de delay van het gebruikte draad 5 ns/m is kunnen we stellen dat:

$$T_d = \frac{2 \text{ ns}}{4} = 0,5 \text{ ns}$$

en dat voor de maximale lengte geldt:

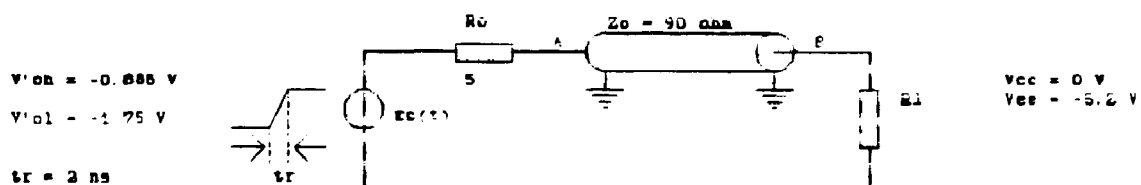
$$l_{\text{max}} = \frac{0,5 \text{ ns}}{5 \text{ ns/m}} = 10 \text{ cm}$$

3.3.3 Ideale waarde van de afsluitweerstand

Wanneer er vanuit gegaan wordt dat voor ECL het omslagpunt ligt op $-1,3$ V, dan kunnen we stellen dat de undershoot nooit meer dan $-1,3$ V mag worden. Houden we dan ook nog een veiligheidsmarge aan van 250 mV, dan geldt er voor de maximale undershoot: $-1,3 + 250$ mV $- (-0,885) = -165$ mV. Dus uit de voorgaande berekeningen blijkt dat een afsluitweerstand van 470Ω niet de meest ideale keuze is.

Door de afsluitweerstand zo aan te passen dat de undershoot niet meer dan $-1,05$ V kan worden zal er een aanpassing ontstaan die de undershoot beperkt en tevens de stroom opname niet te veel laat oplopen. In het onderstaande is het een en ander uitgewerkt.

N.B. Hier is wel met een lijnimpedantie van 90Ω rekening gehouden.



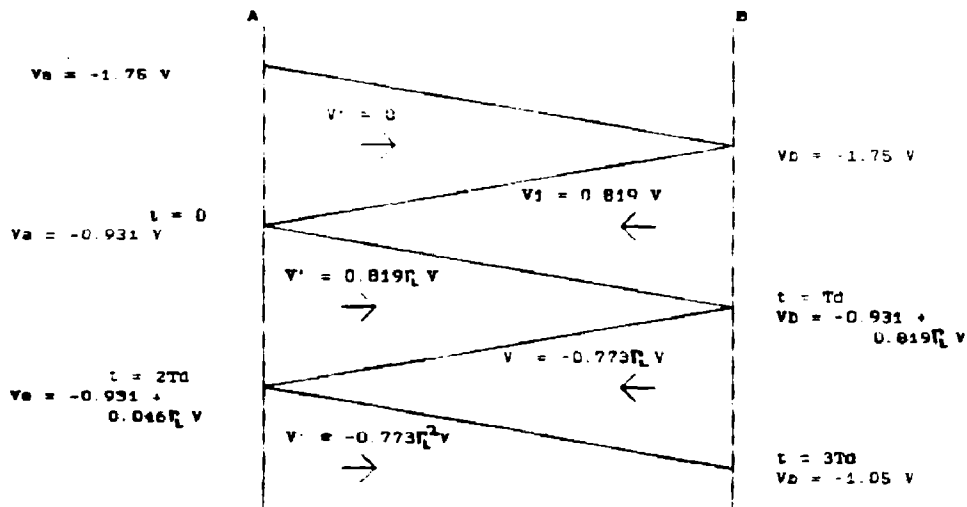
Figuur 3.3.3.1

$$\Gamma_l = \frac{R_l - Z_0}{R_l + Z_0} = \frac{R_l - 90}{R_l + 90}$$

$$\Gamma_s = \frac{R_o - Z_0}{R_o + Z_0} = \frac{5 - 90}{5 + 90} = -0,895$$

$$V_a(t) = V_1 = (V'_{oh} - V'_{ol}) \left(\frac{Z_0}{Z_0 - R_o} \right)$$

$$V_1 = (-0,885 - (-1,75)) \left(\frac{90}{90 - 5} \right) = 0,819$$
 V



Figuur 3.3.3.2 Reflecties

$$V_b = V_a + V'$$

$$-1,05 = -0,931 + 0,046\Gamma_1 - 0,773\Gamma_1^2$$

$$-0,773\Gamma_1^2 + 0,046\Gamma_1 + 0,119 = 0$$

$$\Gamma_1 = \frac{-0,046 \pm \sqrt{(0,046^2 + 4 \times 0,773 \times 0,119)}}{2 \times -0,773} = \frac{-0,046 \pm 0,608}{-1,546}$$

$$\Gamma_1 = 0,423$$

$$0,423 = \frac{R_1 - 100}{R_1 + 100} \implies R_1 = 336,4 \Omega$$

Zoals uit de berekeningen blijkt is een afsluitweerstand van 330 Ω de meest ideale keuze.

4 De invulling van het blokschema

4.1 De logica

De werking van de digitale logica in bijlage 2 kan het best worden uitgelegd aan de hand van het tijddiagram in bijlage 3. Het event van het NIM-niveau ('0' = geen stroom, '1' = -20 mA in 50 Ω) wordt door T1 omgezet naar een ECL-niveau. Deze klokt flip-flop IC1A, waarna een aantal poort vertragingen later een startpuls opkomt. IC2B en IC2C worden gebruikt als vertragingen (4 ns) om de data op IC1B en start weer gelijk te krijgen. De combinatie van P1 en C1 dient als instelbare delay voor het afregelen van de TAC op het nul niveau (TAC ZERO).

De klok op flip-flop IC1B wordt 4 ns vertraagd ten opzichte van de systeemklok (sysclk) met behulp van OR-poorten de IC4B t/m IC4D, dit is in verband met de setup tijd. De data ingang van flip-flop IC1B blijft hoog zodra er een event is binnen gekomen, dus alleen als er een event is binnen gekomen kan er een stoppuls ontstaan.

Bij een opgaande vertraagde klokflank wordt er een stop signaal gegenereerd door flip-flop IC1B. Hierbij is stop een combinatie van start en stop door IC6C. De data op de Q uitgang van IC1B, die tevens dient als real time clock voor de acht bits binaire teller, wordt weer doorgeschoven naar de volgende flip-flop IC5A. Op de volgende opgaande flank van de systeemklok houdt IC5A z'n Q uitgang hoog, dit signaal wordt gebruikt als klok voor de ADC en als klok voor de comparator (adclk (ecl)) van de foutsignalerings elektronica.

De laatste flip-flop IC5B reset het hele systeem na nog een periode van de systeemklok op een opgaande flank, hierbij is echter een delay toegepast (R15 en C2), dat lang genoeg is om de TAC te resetten.

Alle ECL uitgangen zijn complementair uitgevoerd, dat wil zeggen dat de uitgangen een normaal en een geïnverteerd uitgangssignaal hebben. Dit heeft tot voordeel dat deze uitgangen met twisted pair wire aan andere apparaten gekoppeld kunnen worden, zodat storingen van buitenaf minder invloed op de signalen hebben (verbetering van de CMRR).

4.2 De time to amplitude converter

In bijlage 4 laat het analoge deel van de tijd-interpolator zien. Het gaat hier om de Time to Amplitude Converter (TAC). De werking van de TAC is het best uit te leggen aan de hand van een viertal vervangschema's (figuur 4.2.2 t/m 4.2.5). Deze vervangschema's bestaan uit drie stroombronnen A, B en C, drie schakelaars S1, S2 en S3, de op- en ontlaat condensator C16 en een buffer versterker IC1. De stroombronnen en de schakelaars worden door de volgende componenten gevormd:

stroombron A: R23 en D6

stroombron B: opgebouwd rond IC2 en T10 en de stroomspiegel
bestaande uit T1 en T2

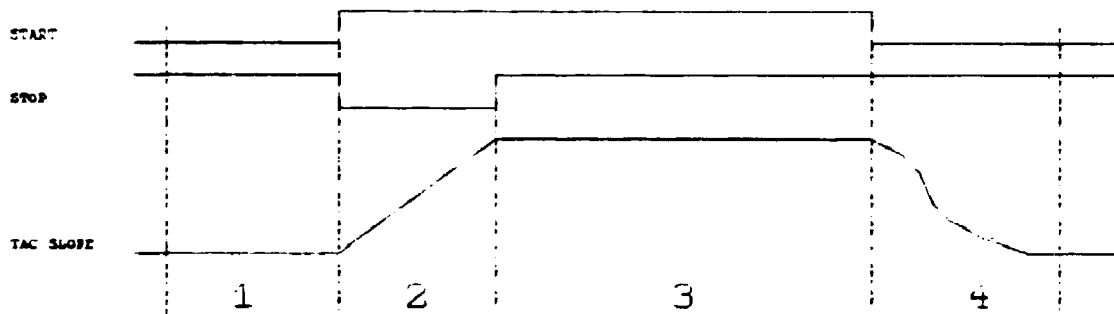
stroombron C: opgebouwd rond T5

schakelaar S1: T8 en T9

schakelaar S2: T3 en T4

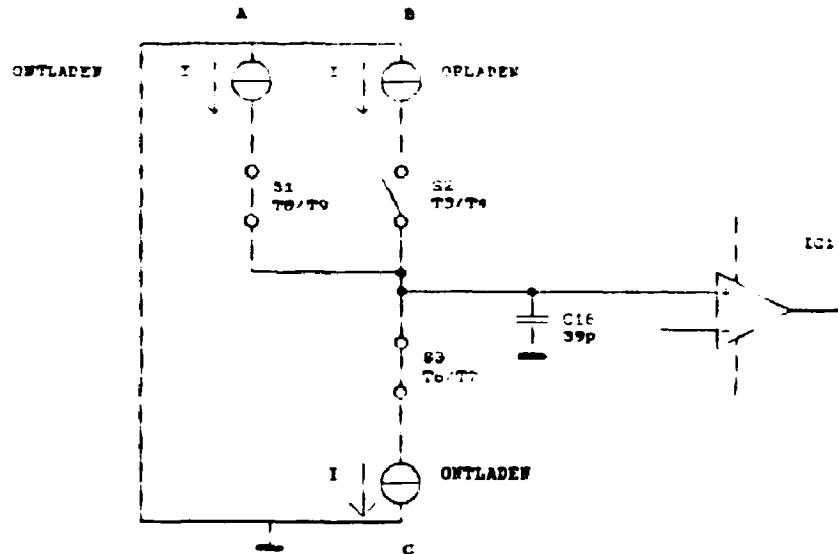
schakelaar S3: T6 en T7

In figuur 4.2.1 onderscheiden we de vier standen van de schakelaars S1 t/m S3, afhankelijk van de logische waarde van het start- en stopsignaal.



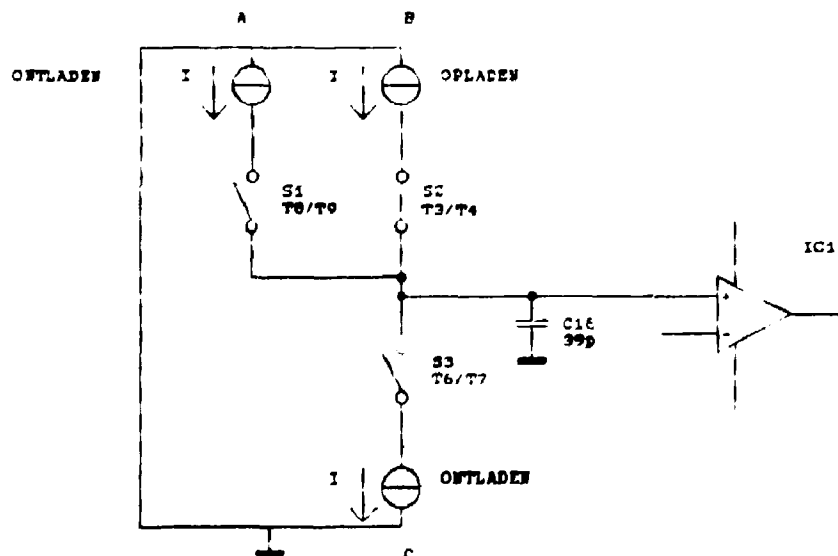
Figuur 4.2.1 Het start- stopsignaal

Situatie 1 van figuur 4.2.1 stelt de ruststand voor. Hierbij is de situatie van de stroombronnen als in figuur 4.2.2. In deze situatie ligt het niveau van de spanning op de basis van T6 op het zelfde niveau als op de basis van T7, namelijk 0 V. De stroom door de collector van T6 is dus het zelfde als de stroom door de collector van T7. Aangezien T4 dicht is en T3 geopend is (stop is hoog) kan alleen stroombron A de stroom van stroombron C opheffen. Doordat beide stromen gelijk zijn kan er geen stroom in de condensator C16 lopen, zodat de spanning op 0 V blijft.



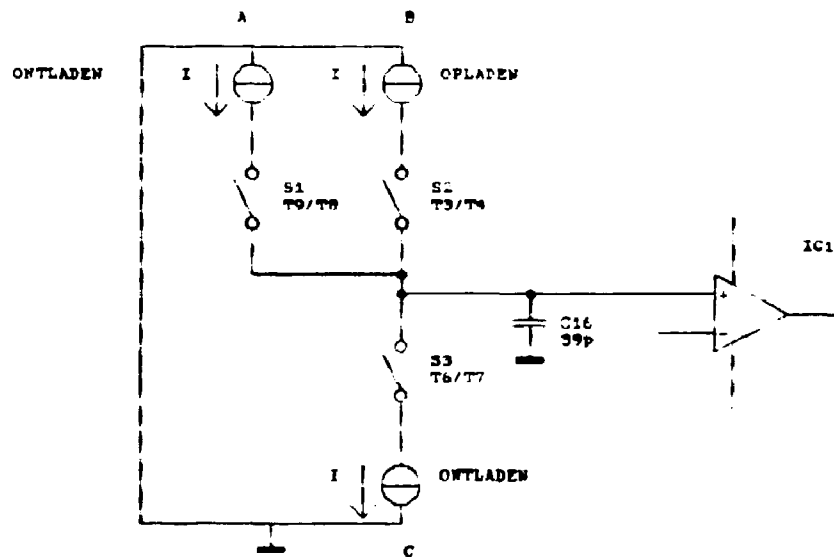
Figuur 4.2.2 De ruststand

Situatie 2 van figuur 4.2.1 stelt de laadstand voor. Hierbij is de situatie van de stroombronnen als in figuur 4.2.3. De stoppuls zorgt ervoor dat T3 zich opent en T4 sluit, waardoor condensator C16 zich snel, met een constante stroom, zal gaan opladen. De overige schakelaars zijn in deze situatie geopend, doordat de startpuls T8 sluit en T9 opent. Hierdoor worden stroombronnen A en C afgeschakeld.



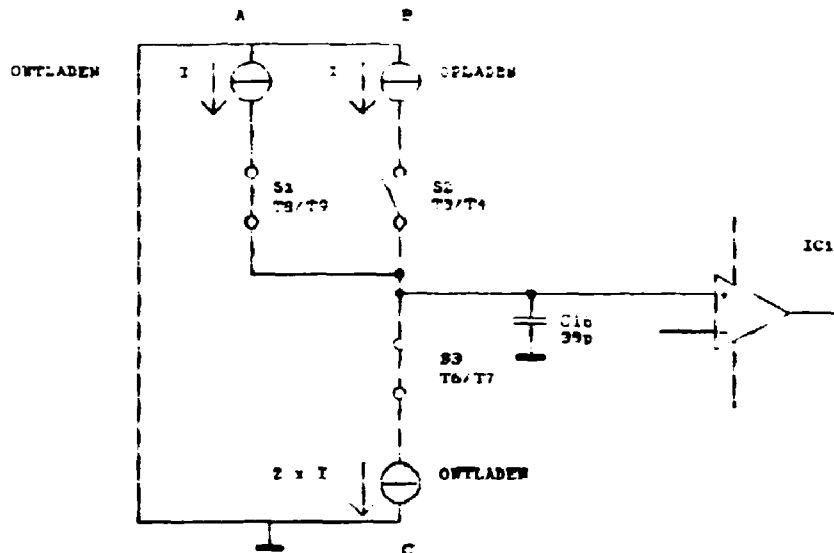
Figuur 4.2.3 De laadstand

Situatie 3 van figuur 4.2.1 stelt de houdstand voor. Hierbij is de situatie van de stroombronnen als in figuur 4.2.4. Alle schakelaars staan open, zodat de condensator op de geladen waarde blijft staan.



Figuur 4.2.4 De houdstand

Situatie 4 van figuur 4.2.1 stelt de ontlaadstand voor. Hierbij is de situatie van de stroombronnen als in figuur 4.2.5. Doordat de startpuls laag wordt, worden de stroombronnen A en C weer aan geschakeld. Aangezien de basis van T6 op het nul niveau blijft, terwijl de basis van T7 op een positiever spanningsniveau ligt, zal de stroom door T5 twee keer zo groot worden. Hierdoor wordt condensator C16 met $2 \times I$ ontladen, totdat er weer een ruststand ontstaat.



Figuur 4.4.5 De ontlaadstand

De opamp IC1 wordt gebruikt als bufferversterker. Deze opamp zorgt er tevens voor dat op pen 3 van de opamp een spanning van 2 V staat, zodat over de basis-collector van T7 een spanning aanwezig is. Aan de ingangen van de opamp bevindt zich verder nog een netwerk ter verbetering van de groeplooptijd van de opamp.

De spanning die op de uitgang van de opamp (maximaal 2 V) wordt via een diode brug, voor beveiliging van ADC, op de ingang (VIN) van de ADC aangeboden en op het juiste moment gedigitaliseerd. Dat wil zeggen dat er pas gestempeld wordt door de ADC, in het horizontale gedeelte van de TAC-slope, dus tijdens de houdstand van de TAC (zie ook bijlage 3). De ADC staat zo ingesteld (VRT op 2 V), dat 2 V aan de ingang de waarde FF aan de uitgang vertegenwoordigt. Aan de uitgangen van de ADC bevinden zich acht TTL naar ECL converters met complementaire uitgangen (IC6 en IC7).

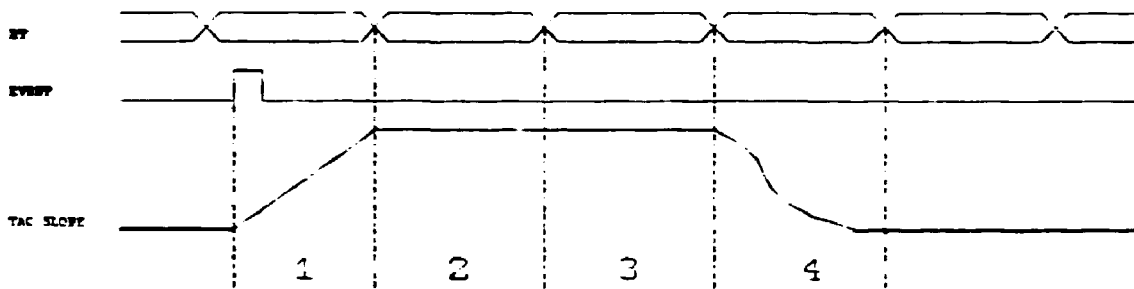
4.2.1 De maximale hersteltijd van de TAC

De maximale hersteltijd (dodetijd) van de TAC, (figuur 4.2.1.1) is zeer belangrijk, aangezien deze bepaalt binnen hoeveel nanoseconden er weer gemeten kan worden. Deze tijd is opgebouwd uit vier delen, te weten:

1. Maximale meettijd van de TAC slope (max. 25 ns)
2. De stoptijd (25 ns). Deze tijd is voor het stabiliseren van de ADC in verband met de overshoot van de ramp, de propagatie delay van de ADC en het stabiliseren van de comparatoren
3. De inkloktijd van de ramp door de ADC (25 ns)
4. Het op nul zetten van de ramp en de ADC door het

resetten van de logica (25 ns).

Dus voor deze TAC geldt een maximale hersteltijd van 100 ns.



Figuur 4.2.1.1 Maximale hersteltijd TAC

4.3 De foutsignalerings elektronica

Om te bekijken of de TAC binnen een klokperiode valt, moeten de standen 00, FF, overflow en underflow van de ADC uitgelezen worden (door middel van LED-signalering). De ADC zelf heeft geen underflow, dus deze moet apart gemaakt worden. Bijlage 6 toont het schema van de foutsignalerings elektronica. Het schema bestaat uit vier monostabiele multivibrators, IC5A t/m IC6B, die als volgt getriggerd kunnen worden:

IC1 is een comparator die staat ingesteld op -9 mV (één LSB van de ADC), dus als het nul niveau van de TAC onder de -9 mV komt dan zal de comparator naar een hoog ECL niveau gaan en multivibrator IC5A triggeren. IC2 zorgt voor de omzetting van ECL naar TTL. Door middel van de OR-poorten IC3A t/m IC3D wordt er gekeken of de uitgangen van de ADC laag of hoog zijn. Pas wanneer alle uitgangen van de ADC laag zijn dan wordt multivibrator IC5B getriggerd. IC4 triggert de multivibrator IC6A pas als alle uitgangen van de ADC hoog zijn. Multivibrator IC6B wordt getriggerd als er overflow van de ADC ontstaat. Alle multivibratoren staan ingesteld op een pulsduur van 500 ms, zodat LED D1 t/m LED D4 lang genoeg blijven branden om te kunnen waarnemen.

4.4 Het klokmodule

Het klokmodule in bijlage 6 bestaat uit een kristaloscillator van 40 MHz. Deze oscillator dient als klok voor de twee vier bits tellers IC2 en IC3 die als up-counters worden gebruikt. Tevens dient de oscillator als systeemklok (sysclk). De twee tellers zijn met elkaar via de carry in- en uitgang verbonden, zodat er een acht bits teller ontstaat. Aan de uitgangen van

de tellers bevinden zich acht OR-poorten (IC4 en IC5) die de uitgangen complementair maken.

4.5 De real-time inklok logica

In bijlage 7 zien we de real-time inklok logica. Deze bestaat uit acht line receivers (IC1 en IC2) en acht flip-flop's (IC3 en IC4), die geklokt worden door de real time-clock (rtclk). Verder zijn er nog acht OR-poorten voor complementaire uitgangen.

In bijlage 3 is het signaal verloop in de tijd van de tellerstand (RTn) en de uitgangen (T8 t/m T15) van de real-time inklok logica te zien.

5 De afregelprocedure

De afregeling van het systeem is eenvoudig, doch dient zeer nauwkeurig te gebeuren. Een hulpmiddel voor de afregeling van het systeem is een randomgenerator, die het mogelijk maakt de slope van de zaagtand tot z'n minimale en maximale waarde uit te sturen (random).

De afregel cyclus is als volgt: als eerste dient de totale offset van de TAC op 0 V afgeregeld worden, dit wordt gedaan met de TAC OFFSET ADJUST, hierbij is de randomgenerator niet aangesloten. Hierna de randomgenerator aansluiten en de TAC ZERO potmeter zo afregelen dat LED D1 (underflow) uit is en LED D2 (stand 00) aan blijft en de TAC SLOPE potmeter zo afregelen dat LED D4 (overflow) uit is en LED D3 (stand FF) aan blijft.

6 De testopstelling en meetresultaten

6.1 Het instelbare delay

In bijlage 1 is het schema van het instelbare delay te zien. Het delay wordt gebruikt om een puls ten opzichte van de systeem klok (sysclk) te verschuiven.

IC1 is een line receiver voor het bufferen van het ingangssignaal. IC2 is een zestien bits teller, die na zestien klokpulsen een puls uitgeeft. IC3 is een digitale programmeerbare delay generator, die het mogelijk maakt om een delay van 0 - 9 ns binair in te stellen in stapjes van 35 picoseconden. IC4 is een quad bus driver voor het verkrijgen van een NIM-niveau en het aansturen van de 2 stukjes coax kabel van 50 Ω . De 2 stukjes coax dienen voor nog eens een delay van 2 x 8 ns, dus in totaal hebben we een maximale delay van 25 ns. Hierna wordt het NIM-niveau weer naar ECL omgezet en gebufferd door T1. Aangezien het event altijd van het NIM-niveau moet zijn, wordt het ECL niveau nogmaals omgezet naar NIM-niveau.

6.2 De meetresultaten

Met behulp van het instelbare delay en de Tektronix DAS 9100 (Digital Analysis System) is de lineariteit van de ADC gecontroleerd. Hierbij is met het instelbare delay 127 op één volgende stapjes van 35 ps ingesteld en met de analyser de data uitgangen (D0 t/m D7) van de ADC uitgelezen. Het resultaat is te zien in bijlage 10.

7 Bijkomstige analyses

Met behulp van een computersysteem (PDP11) is de werking van de tijd-interpolator bepaald. Hierbij zijn de data uitgangen van de tijd-interpolator via een LeCroy Data Stack module gekoppeld aan de computer. Als ingangssignaal is er gebruik gemaakt van een pulsgenerator met een pulsbreedte van ongeveer 20 ns. In bijlage 11, 12, 13 en 14 zijn de meetresultaten te zien. Hierbij zijn verschillende periodetijden ingesteld, zodat de werking van de tijd-interpolator gecontroleerd kon worden.

Conclusie

Het prototype van de tijd-interpolator is gebouwd en functioneerde naar de verwachtingen. Problemen ontstonden alleen als het systeem opnieuw ingeregeld moest worden, bijvoorbeeld bij verplaatsingen. Het was dan erg moeilijk om de TAC OFFSET weer op 0 V te krijgen. Dit probleem kan opgelost worden door de stroombron in de Time to Amplitude Converter bestaande uit D6 en R23 te vervangen door een beter type stroombron, zodat deze minder voedingsspanning afhankelijk wordt.

Uit de meting met de data analyser kwam naar voren dat het systeem redelijk lineair is. Aangezien de metingen met behulp van het computer systeem niet helemaal vlekkeloos verliepen kunnen we hier alleen maar concluderen dat de tijd-interpolator goed werkte. Voor wat betreft de resolutie kunnen we alleen uitgaan van de berekende waarde van de resolutie, deze wordt dan:

$$\text{resolutie} = \frac{\text{periode van de systeemklok}}{\text{aantal stappen van de ADC}} = \frac{25 \text{ ns}}{256}$$

$$\text{resolutie} = 97 \text{ ps}$$

De maximale meettijd die met deze tijd-interpolator mogelijk is, is het aantal tellerstanden maal de periodetijd van de systeemklok. Deze wordt dus: $25 \text{ ns} \times 2^4 = 6,4 \text{ } \mu\text{s}$.

Literatuurlijst

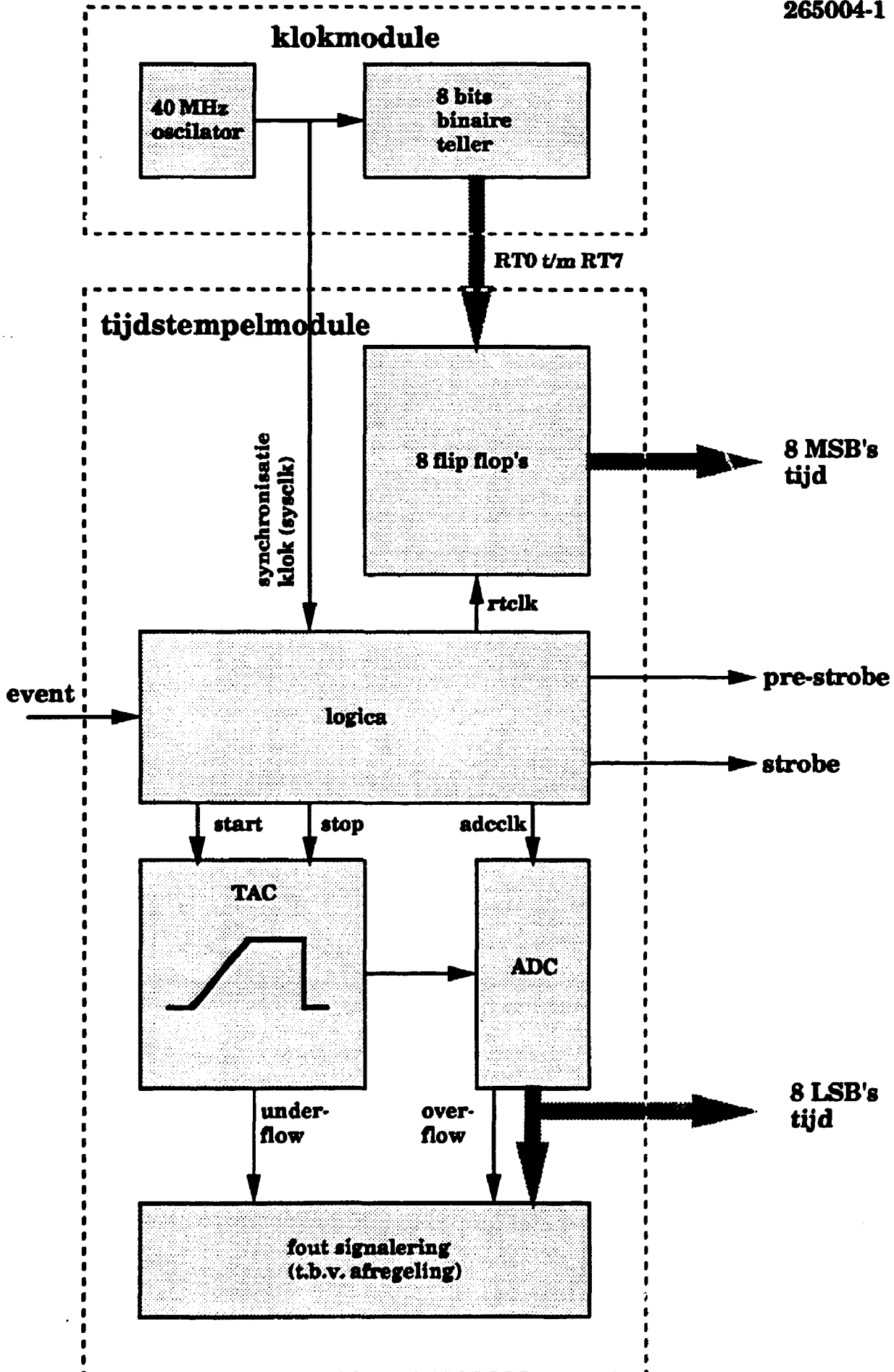
William R. Blood, MECL system design handbook, MOTOROLA INC., 1980, derde druk.

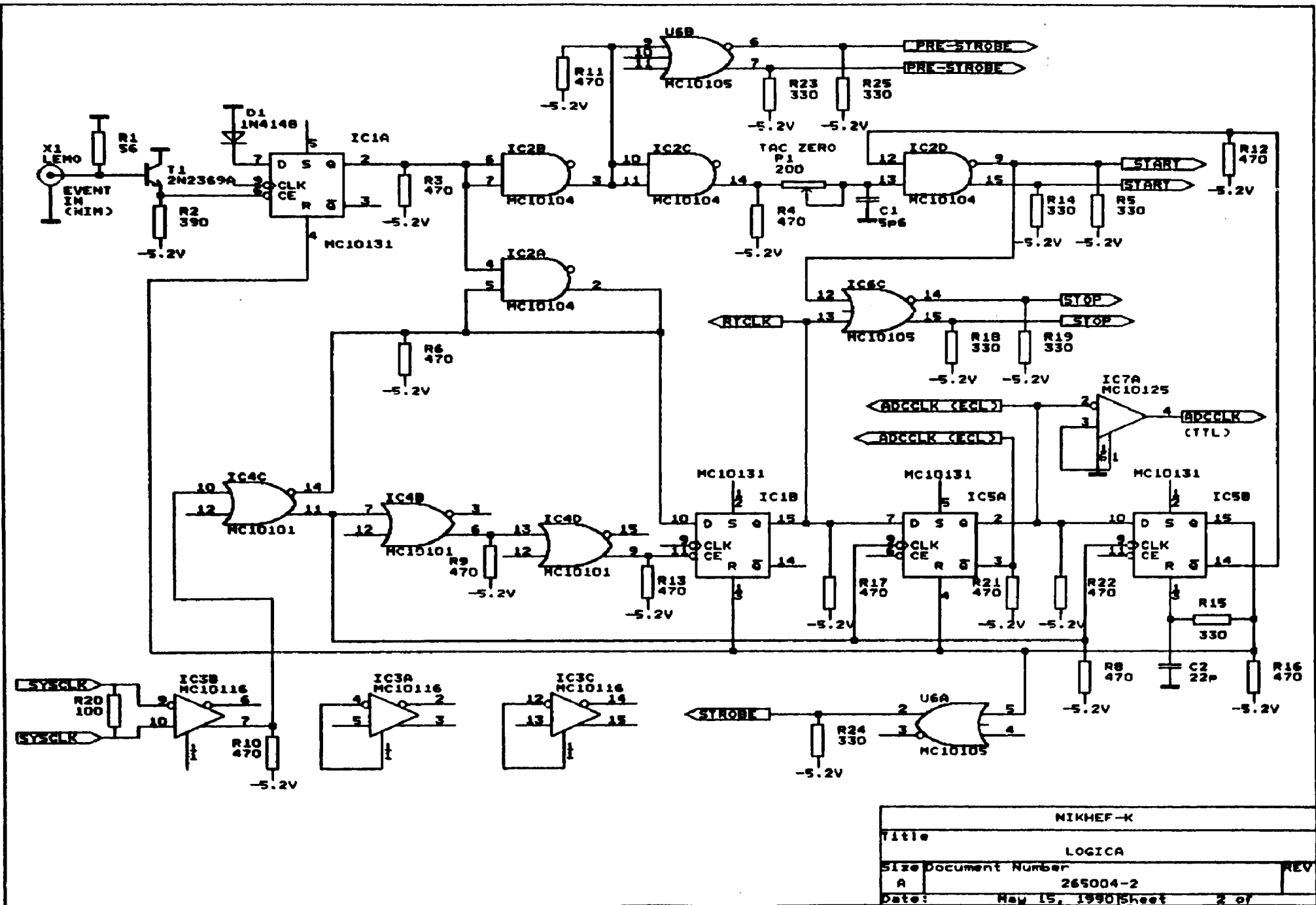
F100K ECL user's handbook, FAIRCHILD, 1982.

Paul M. Chirlan, Analysis and Design of Integrated Electronic Circuits, John Wiley & Sons, 1987, tweede druk.

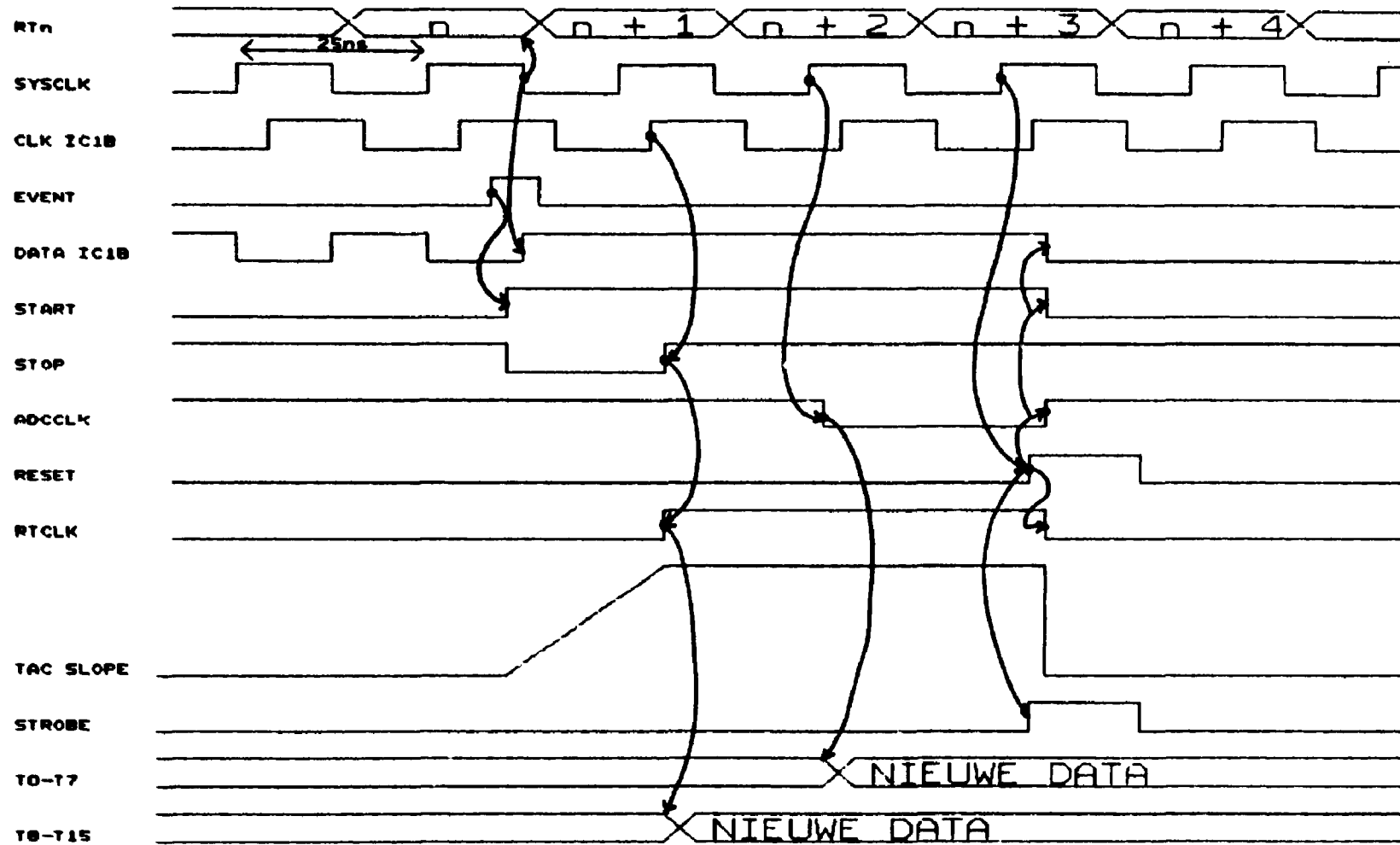
Bijlagen

- Bijlage 1: Het blokschema
- Bijlage 2: De logica
- Bijlage 3: Het tijddiagram
- Bijlage 4: De Time to Amplitude Converter
- Bijlage 5: De foutsignalerings elektronica
- Bijlage 6: Het klokmodule
- Bijlage 7: De real-time inklok logica
- Bijlage 8: Het instelbare delay
- Bijlage 9: De TDR-meting
- Bijlage 10: Lineariteit van de ADC
- Bijlage 11: Computer analyse 1, 1 μ s enkel pulsperiode
- Bijlage 11: Computer analyse 2, 2 μ s enkel pulsperiode
- Bijlage 13: Computer analyse 3, 4 μ s enkel pulsperiode
- Bijlage 14: Computer analyse 4, 4 μ s + 200 ns dubbel
pulsperiode

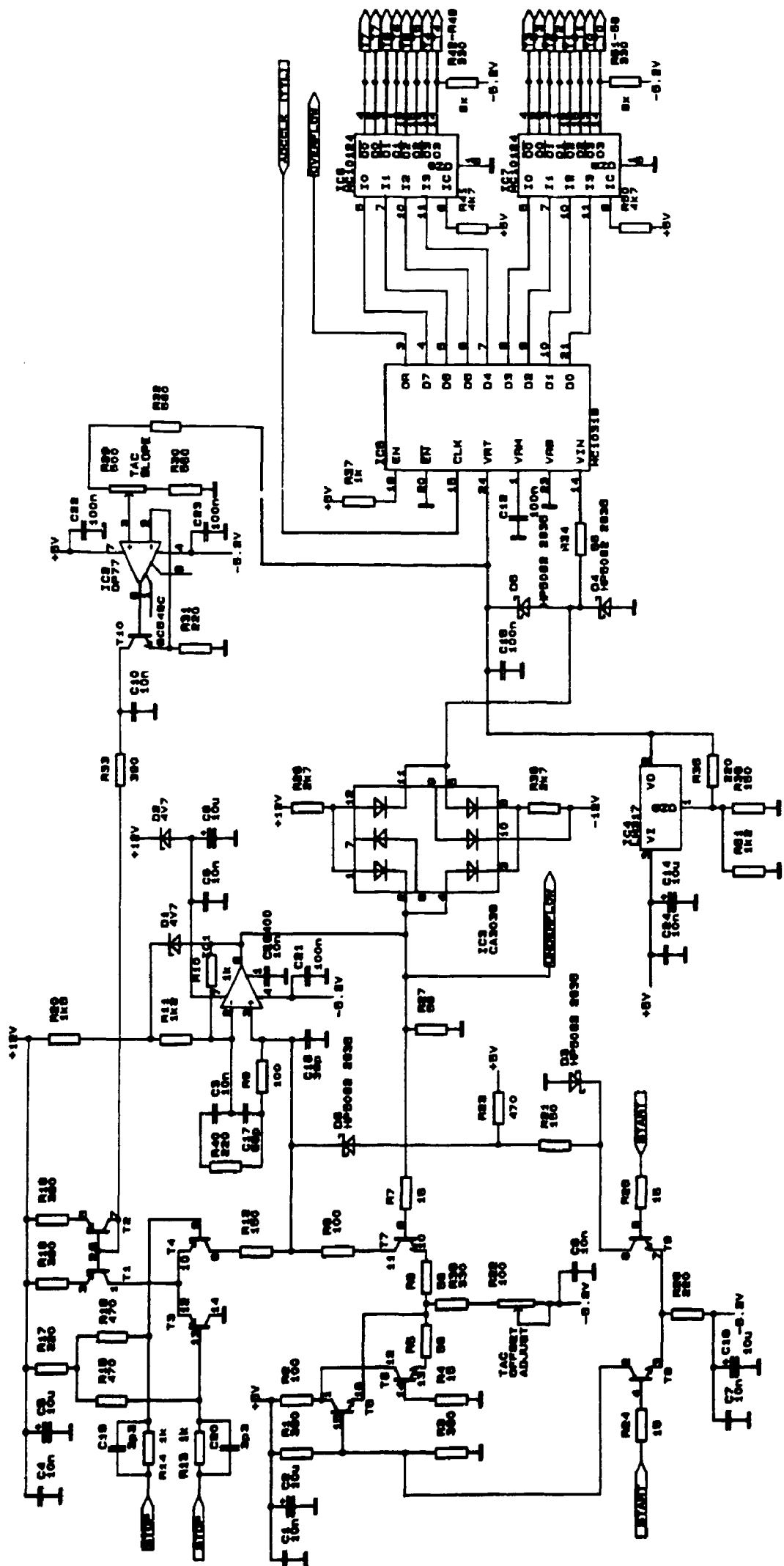




Title		LOGICA	
Size	Document Number	REV	
A	265004-2		
Date:	May 15, 1990	Sheet	2 of

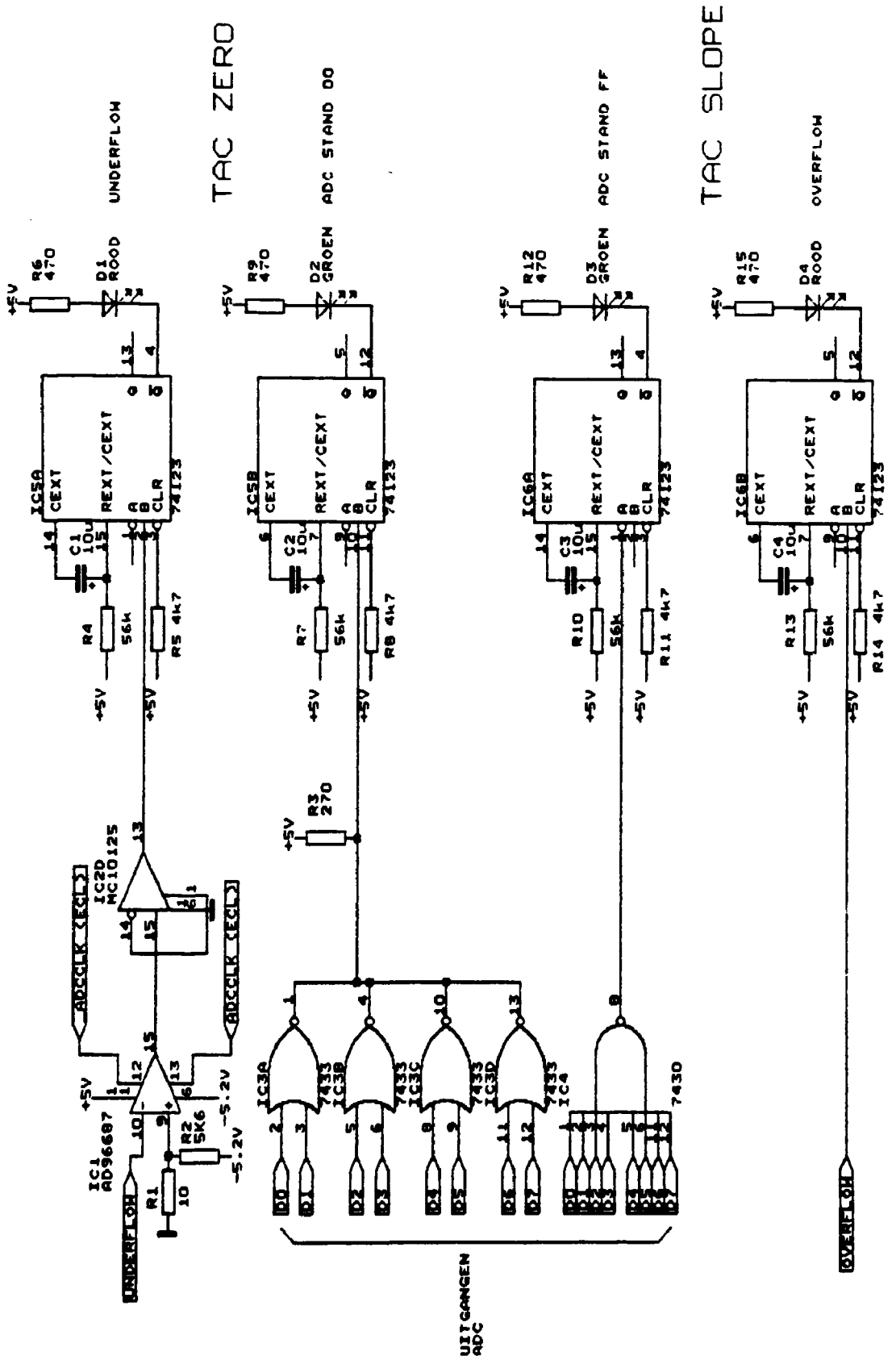


NIKHEF-K		
Title		
TIJDDIAGRAM		
Size Document Number		REV
A	265004-3	
Date:	May 15, 1990	Sheet 3 of



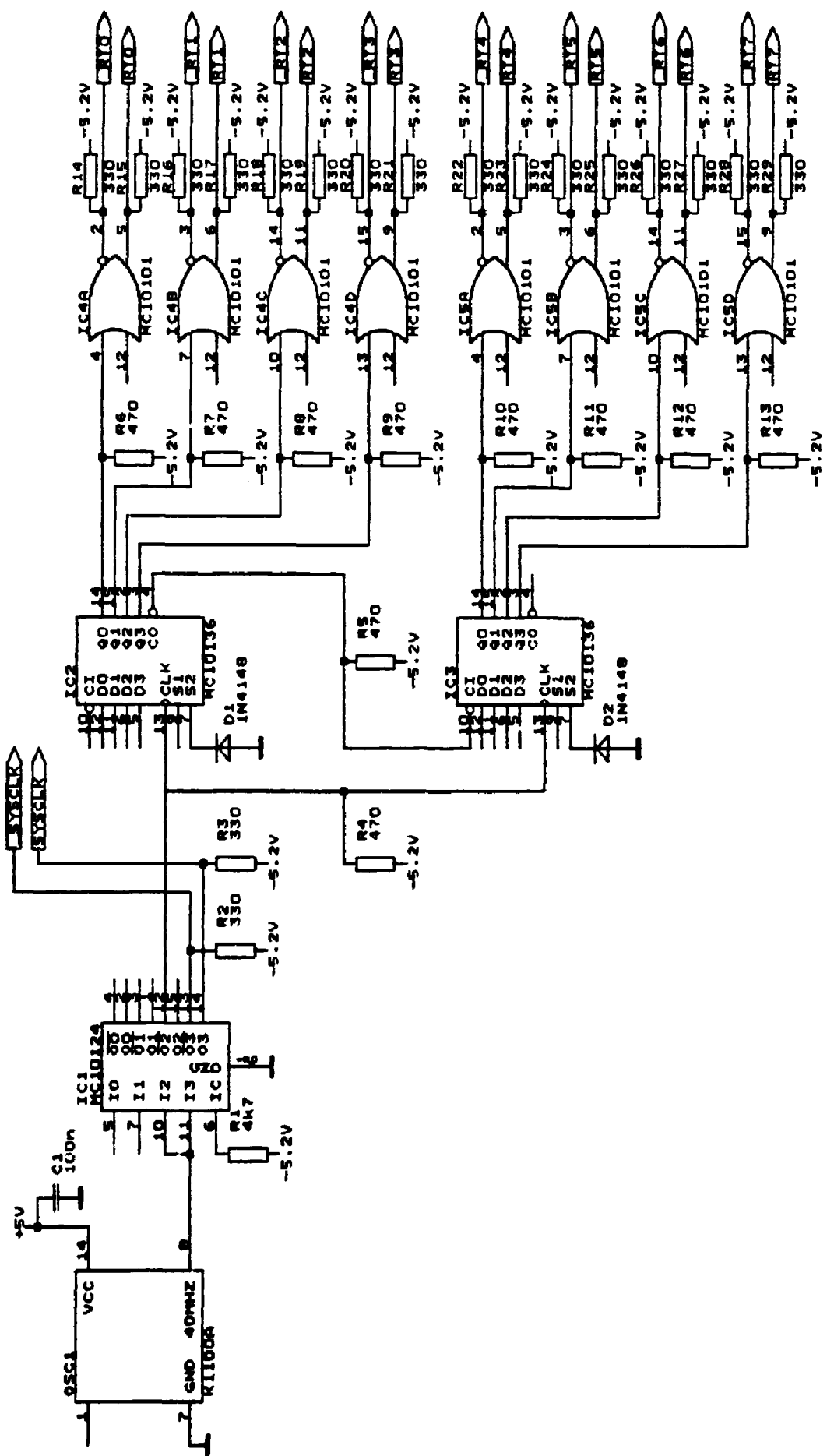
11-74-40000-48
10-10-61.3187

MIMREF-K	
711310	TIME TO AMPLITUDE CONVERTER
8	SIZE DOCUMENT NUMBER
885004-4	REV
0191	REV. 8.1. 1955 WORK 4 87

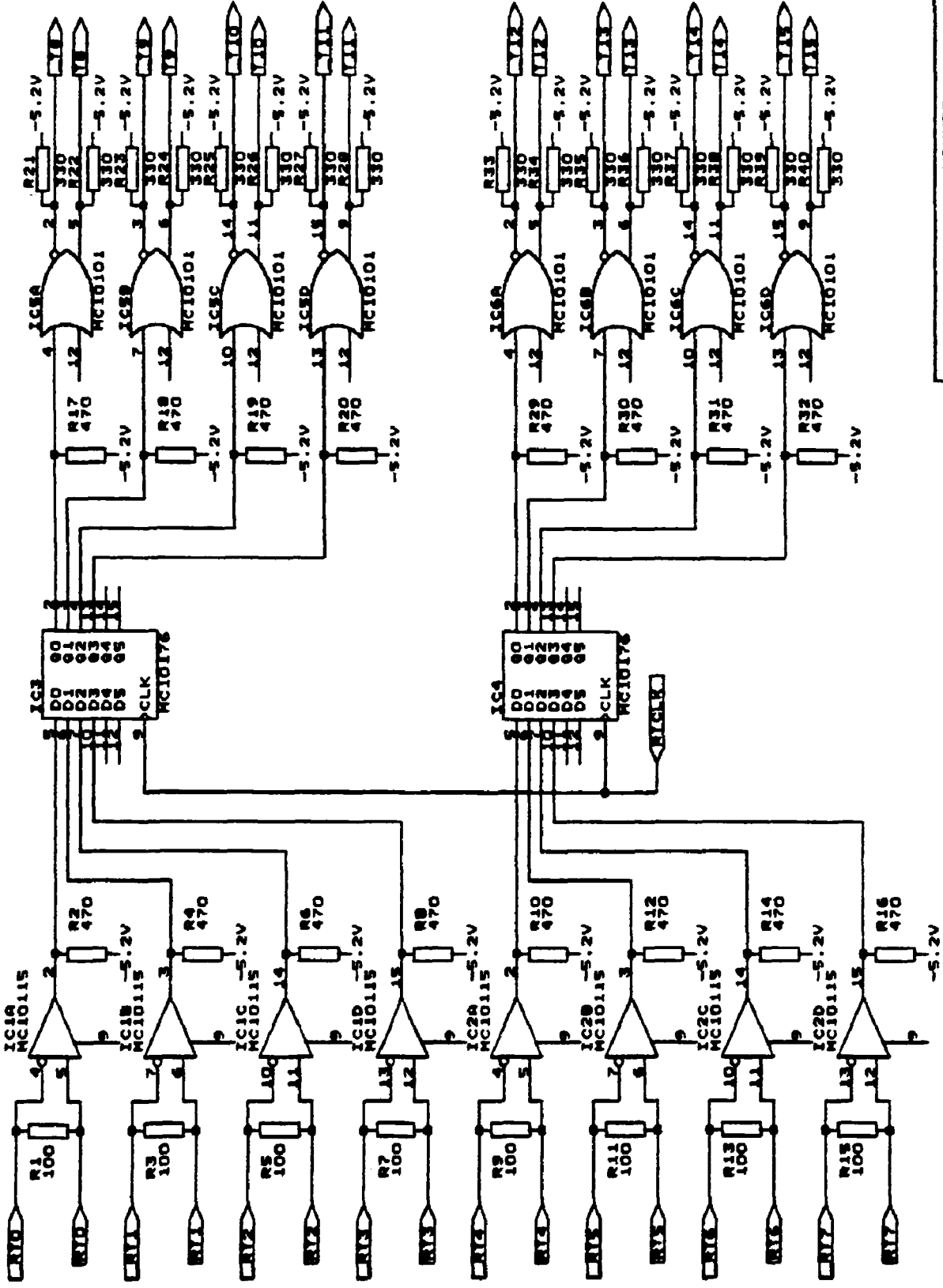


Title		NIKHEF-K	
Size		A	
Document Number		265004-5	
Date:		Mw 10, 1990	
Sheet		5 of	

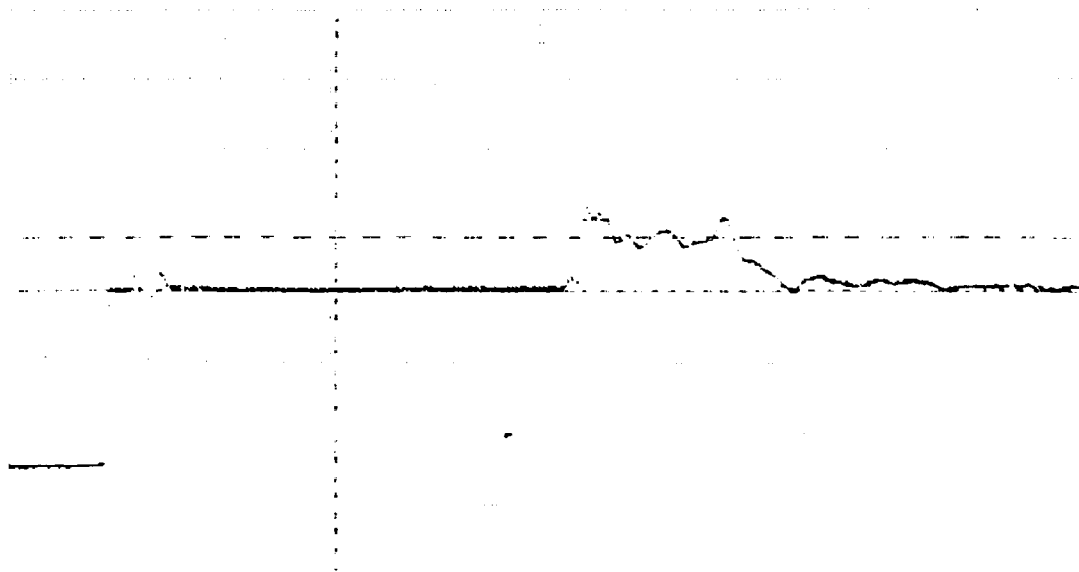
FOUTSIGNALERINGS ELEKTRONICA
 265004-5
 A
 Date: Mw 10, 1990
 Sheet 5 of



Title	NIKHEF-K
Size Document Number	KLOKMODULE
Rev	A
Date	Rev 7, 1990 Sheet 6 of
REV	



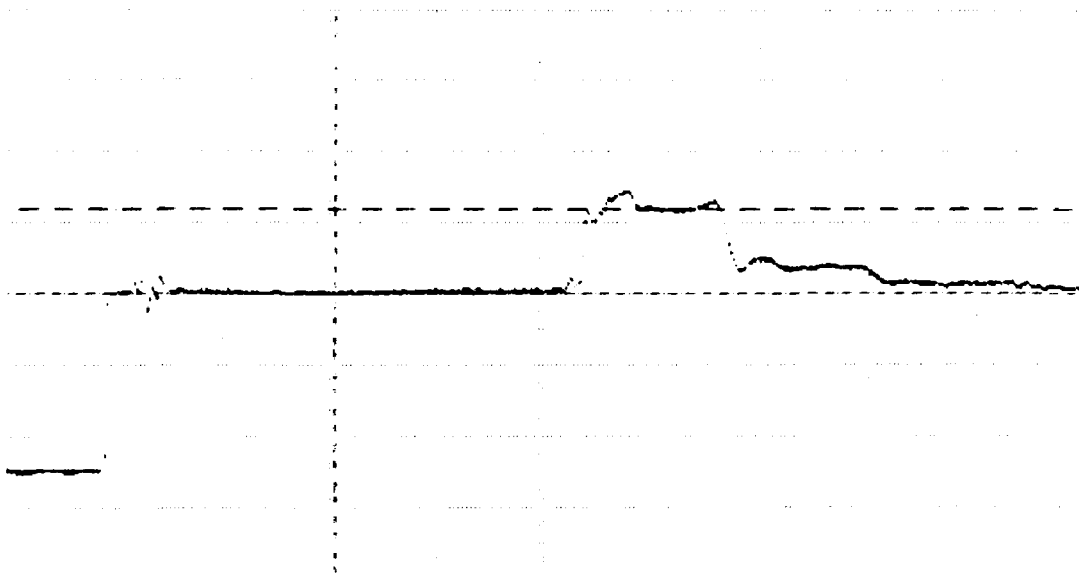
Title		MIKHEF-K	
REAL-TIME INKLOK LOGICA			
Size	Document Number	265004-7	REV
A			
Date	Rev 18	1990	7 of



16.0000 ns 26.0000 ns 36.0000 ns

■Ch. 1	=	80.00 mVolts/div	Offset	=	200.0 mVolts
Timebase	=	2.00 ns/div	Delay	=	16.0000 ns
ΔDelta V	=	-60.000 mVolts	Vmarker2	=	200.00 mVolts
■Vmarker1	=	260.00 mVolts	Stop	=	22.1120 ns
ΔDelta T	=	32.0 ps			
■Start	=	22.0800 ns			

Trigger is Freerunning at 500 kHz with Step on



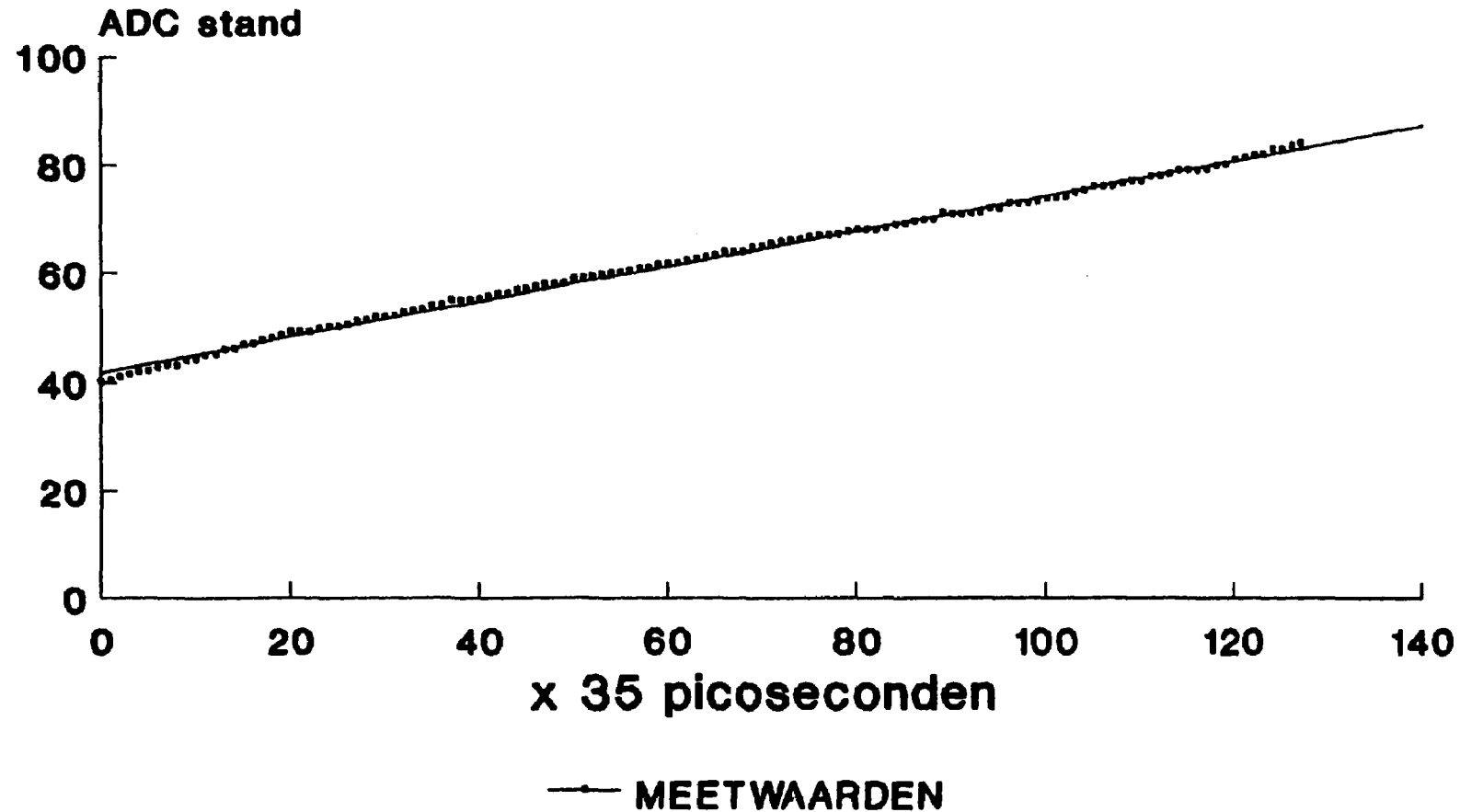
16.0000 ns 26.0000 ns 36.0000 ns

■Ch. 1	=	80.00 mVolts/div	Offset	=	200.0 mVolts
Timebase	=	2.00 ns/div	Delay	=	16.0000 ns
ΔDelta V	=	-95.000 mVolts	Vmarker2	=	200.00 mVolts
■Vmarker1	=	295.00 mVolts	Stop	=	22.1120 ns
ΔDelta T	=	32.0 ps			
■Start	=	22.0800 ns			

Trigger is Freerunning at 500 kHz with Step on

OUTPUT ADC

bijlage 10



Gemeten m.b.v. de TEKTRONIX DAS 9100

