



INSTYTUT PROBLEMÓW JĄDROWYCH

im. ANDRZEJA SOŁTANA

ИНСТИТУТ ЯДЕРНЫХ ПРОБЛЕМ ИМ. А.СОЛТАНА
SOLTAN INSTITUTE FOR NUCLEAR STUDIES

RAPORT SINS-2096/P-III/E/B

URZĄDZENIE CAMAC DO POMIARU ŁADUNKU
I REJESTRACJI KSZTAŁTU IMPULSÓW
Z SZYBKIM, 8-BITOWYM RÓWNOLEGLYM
PRZETWORNIKIEM ANALOGOWO-CYFROWYM

Z. KULKA
M. KRĘCIEJEWSKI
M. NADACHOWSKI

OTWOCK-ŚWIERK

INSTYTUT PROBLEMÓW JĄDROWYCH
im. ANDRZEJA SOLTANA

RAPORT SINS-2096/P-III/E/B

URZĄDZENIE CAMAC DO POMIARU ŁADUNKU
I REJESTRACJI KSZTAŁTU IMPULSOW Z SZYBKIM,
8-BITOWYM ROWNOLEGŁYM PRZETWORNIKIEM
ANALOGOWO-CYFROWYM

ZBIGNIEW KULKA, MIECZYŚLAW KRĘCIEJEWSKI,
MICHAŁ NADACHOWSKI

Instytut Problemów Jądrowych im. Andrzeja Soltana,
Zakład Elektroniki Jądrowej, 05-400 Otwock-Świerk

OTWOCK-ŚWIERK, SIERPIEŃ 1990

Zbigniew Kulka, Mieczysław Kręciejewski, Michał Nadachowski: Urządzenie CAMAC do pomiaru ładunku i rejestracji kształtu impulsów z szybkiej, 8-bitowym równoległym przetwornikiem analogowo-cyfrowym. W raporcie przedstawiono urządzenie wykonane w postaci jednomodułowego bloku CAMAC, przeznaczone głównie do zestawów pomiarowych umożliwiających badanie właściwości niektórych typów detektorów stosowanych w eksperymentalnej fizyce wysokich energii. Urządzenie wyposażone w szybki, 8-bitowy równoległy przetwornik analogowo-cyfrowy typu "flash" z bramkowanym integratorem /na wejściu/ i statyczną pamięcią RAM o pojemności 4096 słów 8-bitowych /na wyjściu/ umożliwia pomiar ładunku zawartego w impulsach detektorowych lub też rejestrację ich kształtu. Opisano budowę, działanie i parametry poszczególnych układów oraz podano sposób programowania funkcji pomiarowych urządzenia przy użyciu magistrali CAMAC.

Zbigniew Kulka, Mieczysław Kręciejewski, Michał Nadachowski: A CAMAC unit for charge measuring and pulse shape recording based on a fast, 8-bit parallel analog-to-digital converter. A device designed mainly for measuring systems for testing parameters of some type of detectors used in the high energy physics is described. The device is one-module CAMAC unit. It is equipped in a fast, 8-bit parallel analog-to-digital converter "flash" type with a gated integrator at the input and a static RAM /4096 x 8 bit/ at the output. The device enables measurements of the charge in pulses from detectors or registration of the shape of these pulses. The construction, operation and parameters of the circuits of the device are described and the way of programming functions using CAMAC dataway is given.

Збигнев Кулька, Мечислав Кренцевски, Михал Надаховски: Блок КАМАК для измерения заряда и регистрации формы импульсов с быстрым, 8-разрядным аналого-цифровым преобразователем параллельного типа. Описан прибор, построенный на основе аналого-цифрового преобразователя (АЦП) параллельного типа, предназначенный для использования в системах измерения параметров некоторых типов детекторов использованных в экспериментальной физике высоких энергии. Прибор выполнен в одномодульном блоке КАМАК. Устройство построено на основе 8-разрядного ЦАП типа "flash" с интегратором на входе и статическим запоминающим устройством RAM (4096 x 8 бит) на выходе. Оно позволяет измерять заряд (площадь) импульса с детектора или регистрировать его форму. Описаны конструкция, функционирование и параметры устройства, а также способы программирования с использованием функции магистральной КАМАК.

SPIS TREŚCI

1. WSTĘP	1
2. RÓWNOLEGLE PRZETWORNIKI A/C TYPU "FLASH" - BUDOWA, PODSTAWOWE WŁAŚCIWOŚCI	4
3. BUDOWA URZĄDZENIA	7
4. OPIS WYBRANYCH UKŁADÓW	8
4.1. Bramkowany integrator	8
4.2. Układ przetwornika a/c typu "flash"	10
5. BADANIA URZĄDZENIA W ZESTAWACII POMIAROWYCH CAMAC	11
5.1. Pomiary ładunku	11
5.2. Rejestracja kształtu przebiegów	12
6. PARAMETRY URZĄDZENIA	14
6.1. Rodzaj pracy GI	14
6.2. Rodzaj pracy TR	15
6.3. Pamięć	15
6.4. Sygnały i funkcje CAMAC	16
6.5. Inne	17
7. WNIOSKI	17
LITERATURA	18
RYSUNKI	19

1. WSTĘP

W odróżnieniu od spektroskopii jądrowej, gdzie amplituda impulsu jest najbardziej istotnym parametrem, w eksperymentalnej fizyce wysokich energii takimi parametrami są najczęściej ładunek zawarty w impulsie i rzadziej - kształt impulsu. W większości detektorów cząstek elementarnych, uwalniany w nich ładunek jest wprost proporcjonalny do energii traconej przez cząstkę "przechodzącą" przez obszar czynny detektora. Natomiast kształt sygnału prądowego zawiera informacje o przebiegu procesu generacji ładunku w funkcji czasu. Pomiar całkowitego ładunku zawartego w impulsach prądowych z detektora lub ich kształtu przeprowadza się metodami cyfrowymi przy niezbędnym udziale przetworników analogowo-cyfrowych (a/c) i szerokim wykorzystaniu komputerów.

Jedną z metod polega na zastosowaniu wzmacniacza całkującego połączonego ze spektrometrycznym przetwornikiem analogowo-cyfrowym (a/c). Wartość słowa cyfrowego uzyskiwanego na wyjściu przetwornika jest proporcjonalna zarówno do wartości szczytowej napięcia wyjściowego wzmacniacza jak i do scałkowanego prądu wejściowego (ładunku).

Inną, często stosowaną metodą polega na użyciu przetwornika ładunkowo-cyfrowego (q/c). W takim przypadku wartość słowa cyfrowego uzyskiwana na wyjściu przetwornika jest proporcjonalna do ładunku wejściowego, którego wartość zależy od prądu wejściowego i czasu całkowania, określonego szerokością impulsu bramkującego. W pewnych przypadkach detektor może być bezpośrednio przyłączony do wejścia przetwornika z pominięciem wzmacniacza kształtującego.

Ogólnie biorąc, obie wspomniane metody zapewniają dość dobrą dokładność (w tym również rozdzielczość) pomiarów ładunku. Wadą ich jest stosunkowo długi czas pomiaru, zwykle

od kilku do kilkunastu (i więcej) mikrosekund. Stąd też straty zdarzeń spowodowane czasem martwym systemu pomiarowego, którego zasadniczą część stanowi czas przetwarzania, mogą być znaczne.

W fizyce cząstek elementarnych, zwłaszcza w eksperymentach z udziałem akceleratorów gdzie występują duże intensywności zdarzeń, zapewnienie szybkiej rejestracji wybranych zdarzeń jest jednym z najważniejszych wymagań pomiarowych. Problem ten, sprowadzając rozważania do jednego toru pomiarowego (zwykle w dużych eksperymentach są ich dziesiątki lub setki tysięcy), można rozwiązać przez połączenie szybkiego, bramkowanego integratora z szybkim przetwornikiem a/c o czułości napięciowej.

Szybki bramkowany integrator składa się z bramki liniowej, kondensatora całkującego (pamięć analogowa), wzmacniacza separującego i układu do usuwania ładunku z kondensatora. Czasy przełączania bramki powinny być małe (rzędu pojedynczych nanosekund), co pozwoli na szybka czasową selekcję impulsów.

Najkrótsze czasy przetwarzania (poniżej 100 ns) zapewniają monolityczne, równoległe przetworniki a/c typu "flash" [1]. Są one obecnie szeroko wprowadzane do aparatury pomiarowej eksperymentalnej fizyki wysokich energii. Dotyczy to zarówno systemów wstępnej selekcji zdarzeń (wstępne trygery) jak i systemów rejestracji danych. Ze względu na wymaganą dużą szybkość przetwarzania, najlepszy kompromis pomiędzy szybkością i dokładnością zapewniają przetworniki o 8-bitowej rozdzielczości. W pomiarach ładunku lub przy rejestracji kształtu impulsów rozdzielczość przetwornika powinna być ściśle związana z zakresem dynamicznym sygnału wejściowego. W wielu zastosowaniach, przetworniki typu "flash" o 8-bitowej rozdzielczości i dynamice wejściowej spełniają wymagania eksperymentalne. Jednak w niektórych przypadkach, np. w systemach rejestracji danych z kalorymetrów, dynamika zmian

sygnałów, zawarta pomiędzy tymi sygnałami, które odpowiadają wysoko-energetycznym elektromagnetycznym "shower"-om i tymi, które odpowiadają MIP-om (minimum ionizing particles), może znacznie przekraczać 8-bitów, przy typowej rozdzielczości energetycznej kalorymetru około 1%. W celu zwiększenia dynamiki wejściowej 8-bitowego przetwornika a/c typu "flash" są stosowane różne sposoby. Dynamikę 9+10-bitową można uzyskać w łatwy sposób przez skokową zmianę napięcia odniesienia lub przez doprowadzenie pewnej części napięcia przetwarzanego do wejścia napięcia odniesienia. Modyfikacje te prowadzą do zmiany charakterystyki przetwarzania na odcinkowo-liniową lub nieliniową [2+4]. Jeśli wymagana dynamika ma wynosić 15 bitów lub więcej, to na ogół stosuje się tzw. wielozakresowe przetworniki a/c ("multirange" ADC lub "floating point" ADC) [5,6].

Koncepcja realizacyjna jest podobna do techniki zmienno-pozycyjnej stosowanej w wielozakresowych woltomierzach cyfrowych lub komputerach. Szybkie przetworniki tego rodzaju zawierają zwykle dwa przetworniki typu "flash", z których jeden współpracując ze wzmacniaczem (lub tłumikiem) i programując jego wzmocnienie - służy do określenia zakresu (cecha), drugi zaś - pracujący z sygnałami wyjściowymi ze wzmacniacza (już o stałej dynamice) - dokonuje zasadniczego przetworzenia a/c (mantysa).

Opisywane w dalszej części raportu urządzenie umożliwia zarówno pomiar ładunku zawartego w impulsach uzyskiwanych z detektorów cząstek elementarnych jak i rejestrację kształtu impulsów. Pomiar taki są pomocne przy wstępnej ocenie właściwości detektorów stosowanych zwłaszcza w eksperymentalnej fizyce wysokich energii. Urządzenie może być również wykorzystane do innych potrzeb nie związanych z eksperymentalną fizyką jądrową.

Urządzenie ma postać jednomodułowego bloku CAMAC. W bloku oprócz zasadniczej części, jaką jest 8-bitowy

przetwornik a/c typu "flash", znajdują się również bramkowany integrator impulsów prądowych o szerokościach nanosekundowych oraz statyczna pamięć RAM o pojemności 4096 słów 8-bitowych. Zapis do pamięci oraz częstotliwość próbkowania są programowane z magistrali CAMAC.

Jeżeli do wejścia przetwornika "flash" zostanie przyłączony bramkowany integrator, to blok charakteryzuje się czułością ładunkową. Blok w konfiguracji przetwornika ładunkowo-cyfrowego (q/a) może być wykorzystywany do bezpośredniego przetwarzania ładunku zawartego w impulsach prądowych uzyskiwanych z liczników scyntylicyjnych. Możliwość szybkiego bramkowania koincydencyjnego w integratorze oraz użycie sprzężeń stałoprądowych pomiędzy układami rozszerza zakres zastosowań o przypadki dużej intensywności przychodzących impulsów. Również w konfiguracji przetwornika q/c blok może być wykorzystany do cyfrowego przetwarzania odcinków czasowych o szerokości nanosekundowej.

Przy odłączonym integratorze, przetwornik odznacza się czułością napięciową. W konfiguracji przetwornika napięciowo-cyfrowego (v/c) blok może być stosowany np. jako cyfrowy rejestrator szybkich przebiegów napięciowych (transient recorder) w badaniach kształtu impulsów. W takich zastosowaniach jego działanie jest podobne do działania oscyloskopu cyfrowego. Jeżeli sygnał wejściowy ma postać napięcia stałego lub wolnozmiennego, to blok może być wykorzystywany jako woltomierz cyfrowy.

2. RÓWNOLEGŁE PRZETWORNIKI A/C TYPU "FLASH" - BUDOWA, PODSTAWOWE WŁAŚCIWOŚCI

Koncepcja równoległego przetwornika a/c typu "flash" jest dobrze znana od przeszło 30 lat.

W najprostszym przypadku (rys.1), przetwornik zawiera

łańcuch komparatorów napięcia spolaryzowanych z dzielnika rezystorowego, zasilanego ze źródła napięcia odniesienia. Rezystory dzielnika są tak dobrane, aby napięcia progów sąsiednich komparatorów różniły się o wartość napięcia odpowiadającą najmniej znaczącemu bitowi (1 LSB). Układ zawiera 2^n rezystorów dzielnika oraz tyle komparatorów, ile poziomów kwantowania ma przetwornik, czyli $(2^n - 1)$ komparatorów w przypadku przetwornika o rozdzielczości n-bitów. Podczas przetwarzania następuje jednoczesne porównanie napięcia wejściowego ze wszystkimi poziomami kwantowania. Odpowiedź przetwornika - w postaci słowa cyfrowego w tzw. kodzie "termometrowym" - jest niemal natychmiastowa. Połączony z wyjściami komparatorów dekodery, przekształca ten nietypowy kod na naturalny kod dwójkowy.

Obecnie są wytwarzane monolityczne, równoległe przetworniki a/c typu "flash" o rozdzielczościach od 4 do 10 bitów. Rozdzielczość i technologia wytwarzania mają wpływ na szybkość działania i moc traconą w układzie przetwornika. Na przykład, dla optymalnej pod względem szybkości działania struktury 8-bitowej stosunek częstotliwości próbkowania do mocy traconej może wynosić od około 15 MHz/kilkaset miliwatów do 250 MHz/kilka watów - odpowiednio dla układów MOS (CMOS, NMOS, HMOS) i układów bipolarnych.

W zasadzie, maksymalne pasmo częstotliwościowe sygnału wejściowego powinno być równe 1/2 maksymalnej częstotliwości próbkowania (częstotliwość Nyquista). W niektórych przetwornikach pasmo to jest specyfikowane jako mniejsze od tej częstotliwości lub nie jest w ogóle podane. W tym ostatnim przypadku może to oznaczać, że np. 8-bitowy, 100 MHz przetwornik ma tylko 6-bitową dokładność przy przetwarzaniu przebiegu sinusoidalnie zmiennego o częstotliwości 50 MHz. A dopiero pełną 8-bitową dokładność uzyskuje dopiero przy zmniejszeniu częstotliwości próbkowania do 15 MHz.

Dalsze zróżnicowania parametrów przetworników typu "flash" wynikają zwykle: z polaryzacji sygnałów wejściowych (dodatnie, ujemne lub bipolarne), z wyjściowych poziomów logicznych (TTL, ECL), z trybu podawania sygnałów zegarowych w celu uzyskania odpowiedzi (ciągły, jednokrotny), z możliwością łączenia w zestawy w celu zwiększenia rozdzielczości (dostępność bitu przekroczenia), itd.

W zasadzie, przetworniki a/c typu "flash" nie wymagają użycia na wejściu układów próbkująco pamiętających, o ile w czasie przetwarzania sygnał wejściowy zmienia się mniej niż wynosi wartość odpowiadająca 1 LSB. Jednak w szczególnych przypadkach, gdy szybkość i dokładność mają być optymalne, układy takie powinny być stosowane.

W opisywanym urządzeniu zastosowano monolityczny, równoległy ("flash") przetwornik a/c typu EF 8308 firmy Thomson-Efcis [7]. Jest to 8-bitowy przetwornik wykonany w technologii HMOS (High density NMOS) o maksymalnej częstotliwości próbkowania równej 20 MHz. Typowa szerokość wejściowego pasma częstotliwości wynosi 5 MHz.

Schemat blokowy przetwornika EF 8308 jest pokazany na rys.2. Przetwornik posiada następujące charakterystyczne właściwości techniczne: rozdzieloną "masę" analogową i cyfrową co zapobiega powstawaniu sprzężeń pasożytniczych i przesłuchów, kilkupunktowy dostęp do sieci rezystorowej, co umożliwia filtrację napięć cząstkowych sieci lub ich stabilizację zewnętrzną poprawiającą liniowość, możliwość pracy z impulsami zegarowymi o polaryzacji odwrotnej (faza 0 = CLK, faza 1 = $\overline{\text{CLK}}$, tryb ciągły) oraz możliwość trzystanowych wyjść cyfrowych (B1+B8) i bitu próbkowania ($\overline{\text{CE1}}$, CE2).

Niektóre dane techniczne przetwornika EF 8308:

- napięcia zasilające analogowe i cyfrowe: +5 V
(możliwość zasilania jednym napięciem +5 V)
- nieliniowość całkowita $\leq \pm 1$ LSB

- nieliniowość różniczkowa $\leq \frac{1}{2}$ LSB
- moc tracona (15 MHz, wartości typowe)
 - zasilanie analogowe: 150 mW
 - zasilanie cyfrowe: 250 mW
- pełny zakres napięciowy ($V_{REF}^+ - V_{REF}^-$)
 - minimalny: 1.5 V (1 LSB = 6 mV)
 - maksymalny: 2 V (1 LSB = 8 mV)
- maksymalna pojemność wejściowa: 30 pF
- wyjścia zgodne z poziomami logicznymi TTL (CMOS)

3. BUDOWA URZĄDZENIA

Schemat blokowy opisywanego urządzenia jest przedstawiony na rys.3. W zależności od położenia przełącznika rodzaju pracy układ może pracować jako przetwornik ładunek-cyfra (GI) lub jako "transient recorder" (TR).

W trybie pracy GI prądowy sygnał wejściowy jest podawany do wejścia szybkiego bramkowanego integratora. Czas całkowania sygnału wejściowego jest wyznaczony szerokością sygnału przyłożonego do wejścia bramkującego. Po zakończeniu całkowania i ustaleniu się napięcia na wyjściu integratora jest ono przetwarzane na kod cyfrowy. Następnie jest generowany sygnał zapisujący przetworzoną wartość tego napięcia do pamięci. Po zakończeniu zapisu integrator jest szybko sprowadzany do stanu początkowego i może przyjąć następny impuls wejściowy. W tym trybie pracy można zaprogramować liczbę całkowanych i przetwarzanych cyfrowo impulsów wejściowych oraz adres początkowy, od którego będą kolejno zapisywane w pamięci wyniki konwersji.

W trybie TR napięciowy sygnał wejściowy jest wzmacniany i następnie przetwarzany cyfrowo. Przetwornik a/c pracuje z zaprogramowaną z magistrali CAMAC częstotliwością

próbkiowania i na jego wyjściu pojawiają się kolejne wyniki konwersji. W momencie wyznaczonego spadającym zboczem impulsu przyłożonego do wejścia wyzwalającego, rozpoczyna się cykl zapisu wyników konwersji do kolejnych komórek pamięci. Liczba zapisywanych danych oraz adres pierwszej komórki pamięci są programowane z magistrali CAMAC.

Wyboru trybu pracy dokonuje się przełącznikiem na płycie czołowej. Ustawiony tryb pracy jest sygnalizowany świeceniem odpowiedniej diody LED: TR lub GI.

4. OPIS WYBRANYCH UKŁADÓW

4.1 Bramkowany integrator

Uproszczony schemat bramkowanego integratora jest pokazany na rys.4. Zasadniczą część układu stanowi kondensator pamięciowy C_M z wtórnikiem-przesuwnikiem napięciowym (T14,T15) o dużej rezystancji wejściowej (tranzystor T14 typu JFET na wejściu). Kondensator C_M jest przeładowywany za pomocą dwóch kluczy prądowych T5,T6 i T7,T8. Poziom zerowy napięcia wyjściowego U_0 jest stabilizowany przez pętlę ujemnego sprzężenia zwrotnego zawierającą różnicowy wzmacniacz transkonduktancyjny (T10+T13) i tranzystor T9. Kondensator pamięciowy jest włączany i wyłączany z pętli sprzężenia zwrotnego sygnałem wydłużania/ladowania za pomocą klucza prądowego T7,T8.

W stanie początkowym, klucz prądowy T5,T6 uniemożliwia rozładowanie kondensatora C_M prądem wyjściowym konwertera prąd-prąd (1-1) zbudowanym przy użyciu wzmacniacza różnicowego (T1+T3) i tranzystora T4 jako elementu transkonduktancyjnego.

Pracę integratora bramkowanego, przebiegająca w trzech fazach czasowych, zilustrowano na rys.5. Działanie

integratora inicjuje podanie sygnału bramkującego, pod którego wpływem zostaje najpierw wygenerowany sygnał wydłużania, otwierający za pomocą klucza prądowego T7, T8 pętlę sprzężenia zwrotnego. Czas trwania sygnału wydłużania wynosi około 400 ns. Pomiaru amplitudy napięcia U_0 przetwornikiem a/c typu "flash" dokonuje się po dokładnym ustaleniu się tego napięcia. Opóźniony sygnał bramkujący (o czas $t_D = 20$ ns) przełącza klucz prądowy T5, T6. W czasie trwania sygnału bramkującego pojawia się wejściowy sygnał prądowy i_{IN} (zwykle pośrodku bramki). Prąd i_{IN} przepływa przez rezystor R_1 , który z jednej strony jest przyłączony do wejścia układu integratora, a z drugiej do masy pozornej konwertera i-i. Wartość rezystora R_1 dobrano równą 51Ω ze względu na dopasowanie impedancji charakterystycznej kabla współosiowego, którym sygnały prądowe z detektora (np. z wyjścia fotopowielacza) są doprowadzone do integratora. Należy nadmienić, że konwerter i-i (co nie jest pokazane na schemacie uproszczonym) może być również użyty do konwersji napięciowo-prądowej przy wykorzystaniu wejścia nieodwracającego wzmacniacza T1+T4 oraz konwersji napięciowego sygnału różnicowego na prąd przy wykorzystaniu obu jego wejść.

Pomijając mniej znaczące efekty można przyjąć, że prąd wyjściowy i_0 konwertera i-i jest równy sumie prądu wejściowego i_{IN} i niewielkiego prądu piedestału I_P . Tak więc w czasie trwania sygnału bramkującego, tj. w fazie rozładowania, z kondensatora C_M jest odprowadzany ładunek równy $\int_0^{\Delta t} (i_0 + I_P) dt$, którego część stała stanowi ładunek równy $I_P \Delta t$ związany z prądem piedestału. Prąd piedestału został wprowadzony w celu poprawienia liniowości w fazie rozładowania, szczególnie przy małych prądach i_{IN} .

Po zakończeniu sygnału bramkującego klucz prądowy T5, T6 wraca do stanu początkowego, kończy się faza rozładowania i rozpoczyna faza wydłużania. Poziom do którego opada napięcie

na kondensatorze C_M od wartości ustalonej przez pętle ujemnego sprzężenia zwrotnego jest utrzymywany na stałej wartości (pomijając prądy upływowe) przez cały czas trwania sygnału wydłużającego. Po zakończeniu fazy wydłużania rozpoczyna się faza ładowania. Klucz prądowy T7, T8 wraca do stanu początkowego i kondensator C_M zostaje ponownie włączony do petli sprzężenia zwrotnego. Ubytek ładunku z kondensatora C_M jest szybko uzupełniany prądem dostarczonym przez tranzystor T9, malejącym w funkcji czasu aż do uzyskania równowagi prądowej pomiędzy prądem wpływającym do kondensatora C_M i prądem wypływającym przez rezystor R_4 o dużej wartości rezystancji. Dalsze działanie petli polega na stabilizacji poziomu "zerowego" na wyjściu układu integratora.

4.2 Układ przetwornika a/c typu "flash"

Uproszczony schemat układu przetwornika a/c EF 8308 typu "flash" z wejściowym wzmacniaczem separującym A1 jest pokazany na rys.6.

Jako wzmacniacz separujący do przetwornika a/c typu "flash" zastosowano szybki, monolityczny wzmacniacz operacyjny typu HA-2625. W celu zwiększenia wydajności prądowej wzmacniacza, na jego wyjściu umieszczono wtórnik emiterowy T1 włączony w pętlę ujemnego sprzężenia zwrotnego. Rezystory R_1 i R_2 obwodu sprzężenia zwrotnego ustalają wzmocnienie, które w układzie odwracającym (wejście wzmacniacza jest wtedy połączone z wyjściem bramkowanego integratora) wynosi -2 , a w układzie nieodwracającym jest równe 3 . Wartość rezystora R_3 jest równa $R_1 R_2 / (R_1 + R_2)$. Rezystor R_4 (równy 51Ω) jest zastosowany w celu dopasowania rezystancji wejściowej do impedancji charakterystycznej kabla współosiowego, którym wejściowy sygnał przetwarzany cyfrowo jest doprowadzany do przetwornika (rodzaj pracy TR). Rezystor R_7 o zmiennej wartości umożliwia

ustawienie "zera" na wejściu przetwornika, zaś rezystor R_5 o małej wartości (22Ω) zapobiega powstaniu oscylacji przy sterowaniu przetwornika (do wejścia analogowego przetwornika jest przyłączonych 256 komparatorów).

Przetwornik a/c typu EF 8308 jest zasilany dwoma odrębnymi napięciami +5 V: analogowym i cyfrowym. Wyjściowe poziomy cyfrowe są zgodne z poziomami TTL. Wewnętrzna sieć rezystorowa jest zasilana napięciem $U_R^+ = 2048 \text{ mV}$ i $U_R^- = 0 \text{ V}$ co daje wartość $1 \text{ LSB} = 8 \text{ mV}$. W celu polepszenia liniowości przetwarzania trzy charakterystyczne i wyprowadzone na zewnątrz punkty sieci: $3/4U_R$, $1/2U_R$, $1/4U_R$ są polaryzowane z precyzyjnego, regulowanego dzielnika napięcia odniesienia U_R ze wzmacniaczami operacyjnymi A2÷A5.

W przypadku, gdy jest przetwarzane napięcie z bramkowanego integratora, przetwornik pracuje z maksymalną częstotliwością impulsów zegarowych (12,5 MHz). Ale impuls zapisu do pamięci jest tak zsynchronizowany z przebiegiem na wejściu przetwornika, że zapis wyniku przetwarzania jest dokonywany w części quasi-stabilnej tego przebiegu.

5. BADANIA URZĄDZENIA W ZESTAWACH POMIAROWYCH CAMAC

5.1 Pomiary ładunku

W trybie pracy GI urządzenie jest szybkim, 8-bitowym (256-kanalowym) przetwornikiem q/c o współczynniku konwersji 1 pC/kanal . Na rys. 7a, przedstawiono zestaw do pomiaru charakterystyki przetwarzania.

Wejściowy zakres pomiarowy przetwornika q/c może być wyrażony bądź w pikokulombach (pC), bądź też w woltonanosekundach ($V \times \text{ns}$). Oznacza to, że przy rezystancji wejściowej równej 50Ω (wejście prądowe), ekwiwalentna powierzchnia prostokątnego, prądowego impulsu wejściowego $1V \times 1\text{ns}$ jest równoważna ładunkowi o wartości 20 pC . Dla

ustalonego zakresu ładunku wejściowego, każdej wartości ładunku odpowiadają dwa iloczyny ($V \times ns$), co wskazuje na wymiennosc pomiędzy amplitudą impulsu a czasem jego trwania w procesie uzyskiwania tego samego ładunku.

Pomiar charakterystyki przetwarzania przeprowadzono zmieniając amplitudę impulsu prądowego przez zmianę napięcia na rezystorze wejściowym przetwornika o wartości 50Ω przy stałej szerokości impulsu bramkującego ($100 ns$). Do wejścia pomiarowego przetwornika podawano różne wartości napięcia z wysokostabilnego, regulowanego źródła napięcia stałego. Napięcie zmieniano w zakresie od 0 do $-0,128 V$ co $8 mV$, uzyskując 16 punktów pomiarowych, kontrolowanych za pomocą woltomierza cyfrowego. Każdą wartość ładunku wejściowego (przy zmianie napięcia stałego) mierzono 256 razy, wypełniając całą pamięć 4096 słów 8-bitowych.

Uzyskana w wyniku uśredniania charakterystyka przetwarzania jest pokazana na rys. 7b. Nieliniowość całkowita charakterystyki oceniono na mniejszą od $\pm 0,2\%$. Piedestał ładunkowy przy napięciu równym zero wynosi około $9,2 pC$. Jest on mniejszy od oczekiwanej wartości $10 pC$ ze względu na skończone czasy narastania i opadania impulsu bramkującego. Piedestał ładunkowy przetwornika wynika z prądu piedestału (patrz rys.4) wprowadzonego celowo w bramkowanym integratorze dla poprawy liniowości przy małych sygnałach. Wartość prądu piedestału została ustalona na $0,1 mA$ (możliwość regulacji od $0,09 mA$ do $0,13 mA$). Piedestał ładunkowy przetwornika q/c nie stanowi problemu, gdyż może być w łatwy sposób skorygowany odpowiednią obróbką cyfrową "off-line".

5.2 Rejestracja kształtu przebiegów

Na rys.8 pokazano prosty zestaw, który wykorzystano zarówno do uruchamiania urządzenia z szybkim przetwornikiem a/c typu "flash" jak i do rejestracji przykładowych

kształtów przebiegów.

W kasecie CAMAC znajduje się procesor autonomiczny (131), interfejsy pisaka XY (553) i monitora (551) oraz pamięci przełącznikowych (230) i urządzenie z szybkim przetwornikiem a/c typu "flash". Na zewnątrz kasety są trzy pamięci przełącznikowe (230/2), pisak XY (BAK 5 T), monitor (K 501), oscyloskop (SS-5712) oraz funkcyjny generator wyzwalany (PGP 7).

Program sterujący pracą systemu jest ustawiony na pamięciach przełącznikowych. Urządzenie z szybkim przetwornikiem a/c pracuje w trybie TR, natomiast generator funkcyjny jest ustawiony na pracę w trybie wyzwalanym. Program po uruchomieniu powoduje ustawienie rejestrów sterujących w bloku urządzenia, a następnie powoduje wygenerowanie na wyjściu procesora impulsu wyzwalającego generator. Impuls wyjściowy generatora jest podawany do wejścia pomiarowego przetwornika, a impuls synchronizujący do wejścia wyzwalającego. Po zebraniu zaprogramowanej liczby próbek zawartość pamięci lokalnej urządzenia jest wyświetlana na ekranie monitora. Po zakończeniu wyświetlania urządzenie jest przygotowane do rejestracji kształtu następnego impulsu, jest generowany impuls wyzwalający generator i cykl pomiaru powtarza się. Działanie urządzenia w systemie jest podobne do działania oscyloskopu cyfrowego. Kształt wyświetlonego na monitorze przebiegu można porównać z kształtem impulsu wyjściowego generatora wykorzystując oscyloskop.

Pisak XY jest zastosowany do wykonywania kopii przebiegu obserwowanego na ekranie monitora. Wciśnięcie klucza K4 na płycie czołowej procesora powoduje wykreślenie zawartości pamięci lokalnej urządzenia na papierze i zatrzymanie programu.

Na rys.9 przedstawiono kilka przykładowych przebiegów zarejestrowanych za pomocą omawianego urządzenia (parametry przebiegów wejściowych: a - przebieg prostokątny o czasie

trwania $40 \mu\text{s}$ i amplitudzie 0.4 V ; b - przebieg trójkątny o czasie narastania $25 \mu\text{s}$ i czasie opadania $25 \mu\text{s}$; c - seria impulsów prostokątnych o okresie powtarzania $26 \mu\text{s}$, współczynnika wypełnienia $1/2$ i amplitudzie 0.4 V ; d - seria impulsów prostokątnych o czasach trwania $80 \mu\text{s}$ i amplitudach odpowiednio 0.4 V ; 0.3 V ; 0.2 V ; 0.1 V).

6. PARAMETRY URZĄDZENIA

Rodzaje pracy: GI (Gated Integrator) lub TR (Transient Recorder), wybór rodzaju pracy za pomocą przełącznika, sygnalizacja za pomocą diod LED.

6.1 Rodzaj pracy GI

- wejście analogowe:	wejście różnicowe (rezystancja wejściowa 50Ω , sprężenie stałoprądowe)
- wejściowy zakres ładunkowy	256 pC
- liczba kanałów	256
- współczynnik konwersji	1 pC/kanał
- nieliniowość całkowita	$\leq \pm 0,25 \%$
- niestabilność termiczna	$\leq \pm 0,04 \%/^{\circ}\text{C}$
- czas przetwarzania	ok. $1 \mu\text{s}$
- wejście bramkujące	polaryzacja ujemna (standard NIM, rezystancja wejściowa 50Ω , czas bramkowania od 20 ns do do 120 ns)
- wyjście monitora	do obserwacji impulsu bramkującego (polaryzacja dodatnia, poziom TTL)

6.2 Rodzaj pracy TR

- wejściowy zakres napięciowy od 0 do +0,7 V (na 50 Ω)
- częstotliwość próbkowania 12,5 MHz lub 6,25 MHz
lub 3,125 MHz lub
1,5625 MHz
- 3 dB pasmo wzmacniacza
wejściowego 5 MHz
- rozdzielczość 8 bitów
- nieliniowość całkowita $\pm 1\frac{1}{2}$ LSB
- błąd kwantyzacji $\pm 1\frac{1}{2}$ LSB
- niestabilność termiczna $\leq \pm 0,04 \text{ \%}/^{\circ}\text{C}$
- wejście wyzwajające polaryzacja ujemna
(standard NIM.
rezystancja wejściowa 50 Ω ,
szerokość minimalna 50 ns,
zbcze wyzwajające ujemne)

6.3 Pamięć

- rodzaj pamięci statyczna RAM
- pojemność 4 KB
- organizacja podział pamięci i liczba
zapisywanych wyników
konwersji (próbek) są
programowane z magistrali
CAMAC

6.4 Sygnały i funkcje CAMAC

N, A, F, S1, S2, X, L, Q, Z, C

I - przyłączane za pomocą zwory

- F(0)A(0) - odczyt zaadresowanej komórki pamięci
- F(0)A(1) - odczyt zaadresowanej komórki pamięci i zwiększenie adresu o 1
- F(1)A(0) - odczyt rejestru adresowego
- F(8)A(0) - sprawdzenie LAM
- F(10)A(0) - kasowanie LAM
- F(11)A(0) - zerowanie rejestru i licznika adresowego, ustawienie licznika próbek na wartość maksymalną (nie zmienia rejestru programującego)
- F(17)A(0) - zapis licznika adresowego
- F(17)A(1) - zapis licznika próbek
- F(17)A(2) - zapis rejestru programującego (częstotliwość próbkowania)
- F(24)A(0) - blokowanie LAM
- F(24)A(1) - blokowanie przetwornika
- F(26)A(0) - odblokowanie LAM
- F(26)A(1) - odblokowanie przetwornika

- R1 - R8 - wykorzystywane przy odczycie danych
- R1 - R12 - wykorzystywane przy odczycie rejestru adresowego

- W1 - W12 - wykorzystywane przy zapisie rejestru adresowego i licznika próbek

- W1 - W4 - wykorzystywane przy zapisie rejestru programującego

6.5 Inne

- napięcie zasilające ± 24 V, ± 6 V
- konstrukcja mechaniczna blok CAMAC o pojedynczej szerokości

7. WNIOSKI

Przedstawione w raporcie urządzenie do pomiaru ładunku i rejestracji kształtu przebiegów jest pierwszym tego rodzaju opracowaniem wykonanym w Zakładzie Elektroniki Jądrowej P-III IPJ, w którym został zastosowany szybki, monolityczny przetwornik a/c typu "flash".

Realizacja urządzenia z układem przetwornika a/c nowej generacji była okazją do poznania jego właściwości i przyczyniła się do zebrania wielu interesujących doświadczeń praktycznych. Mają one tym większe znaczenie, gdyż przetworniki a/c typu "flash" są obecnie szeroko stosowane w systemach selekcji i rejestracji danych eksperymentalnej fizyki wysokich energii, a także w spektrometrii jądrowej przy rejestracji widm w warunkach dużych częstości zliczania. Są to więc dziedziny fizyki jądrowej, dla potrzeb których jest realizowana większość prac Zakładu P-III.

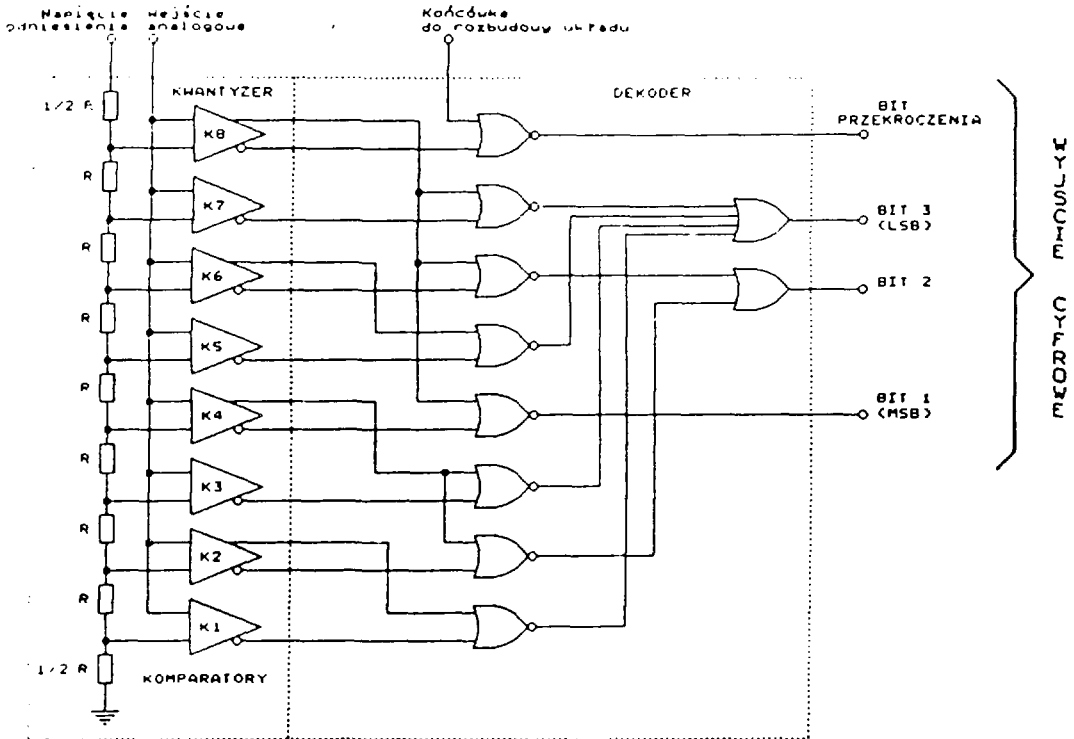
W Zakładzie P-III wykonano dwa identyczne urządzenia CAMAC do pomiaru ładunku i rejestracji kształtu sygnałów z szybkimi przetwornikami a/c typu "flash" w ramach programu CPBR 5.8 (cel 1.36) [8]. Jedno urządzenie jest wykorzystywane w Zakładzie P-III m.in. do rejestracji kształtu przebiegów jednokrotnych i powtarzalnych, których źródłem są nie tylko detektory jądrowe. Drugie urządzenie przekazano do Instytutu Fizyki Doświadczalnej Uniwersytetu Warszawskiego, gdzie było używane do pomiarów właściwości detektorów w eksperymencie ZEUS na akceleratorze HERA w Hamburgu.

Obydwa urządzenia charakteryzują się dobrą powtarzalnością parametrów i dużą niezawodnością działania.

LITERATURA

- [1] Kulka Z., Libura A., Nadachowski M., Przetworniki analogowo-cyfrowe i cyfrowo-analogowe, WKŁ Warszawa 1987
- [2] Martin M.I. et al., 100 MBS, 8-bit data acquisition and zero suppression system for the DO detector, IEEE Trans. on Nucl. Scie., Vol NS-34, No.1, 1987
- [3] Crawley H.B. et al., The DELPHI barrel electromagnetic calorimeter flash ADC based digitizer, IEEE Trans. on Nucl. Scie., Vol. NS-34, No. 1, 1987
- [4] Hallgren B., Verweij H., New developments in time and pulse height digitizers, IEEE Trans. on Nucl. Scie., Vol. NS-27, No. 1, 1980
- [5] Oliver J. et al., A high speed ADC fo RABBIT system data acquisition, IEEE Trans. on Nucl. Scie., Vol. NS-34, No. 1, 1987
- [6] Boniface J. et al., A fast and precise digitizer for the new calorimeter, UA1 Experiment, Technical Note UA1-TN 85-43
- [7] THOMSON-EFCIS, Video speed 8-bit flash A/D converter, Integrated Circuits Catalogue
- [8] Kulka Z., Kręciejewski M., Opracowanie założeń i wykonanie projektu wstępnego oraz modelu laboratoryjnego szybkiego przetwornika analogowo-cyfrowego typu "flash", Praca wykonana w ramach programu CPBR 5.8, cel 1.36, 1986

a/

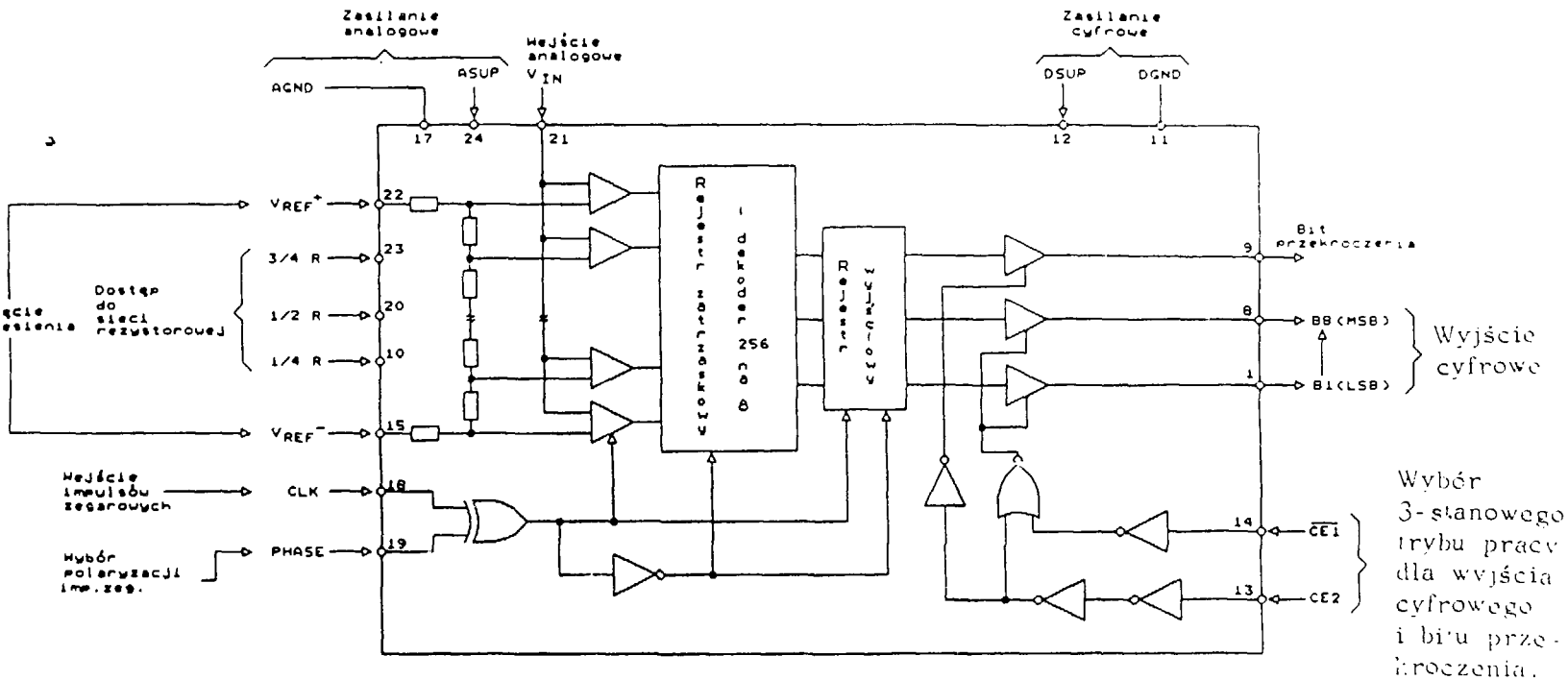


b/

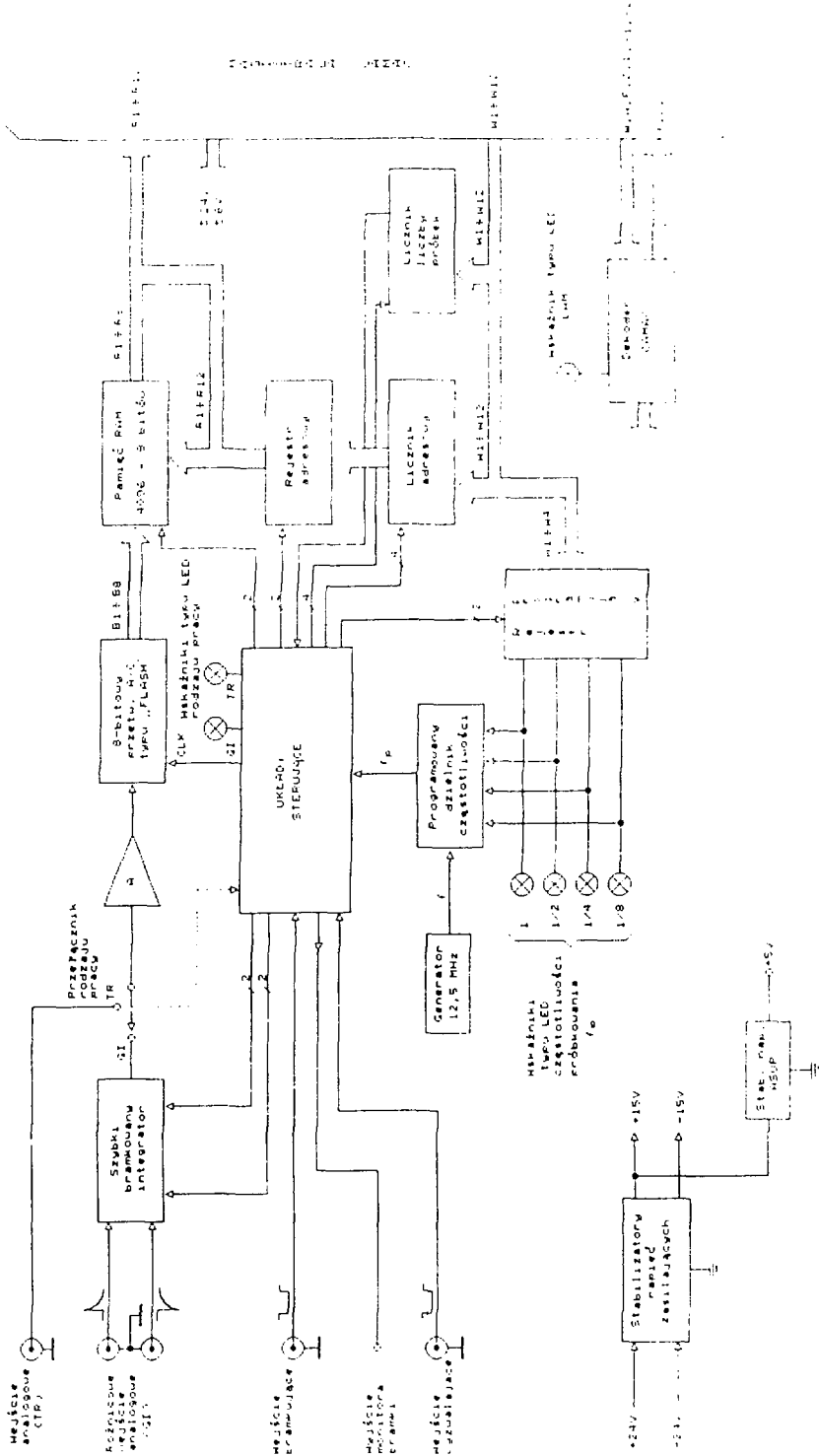
Ułamek pełnego zakresu	7-pozycyjny kod ważony z przekroczeniem	Naturalny kod duójkowy
+9/8	11111111	1000
+3/4	01111111	0111
+3/4	00111111	0110
+1/2	00011111	0101
+1/2	00001111	0100
+1/4	00000111	0011
+1/4	00000011	0010
+1/4	00000001	0001
0	00000000	0000

RYS.1. 3-Bitowy równoległy przetwornik typu "flash"

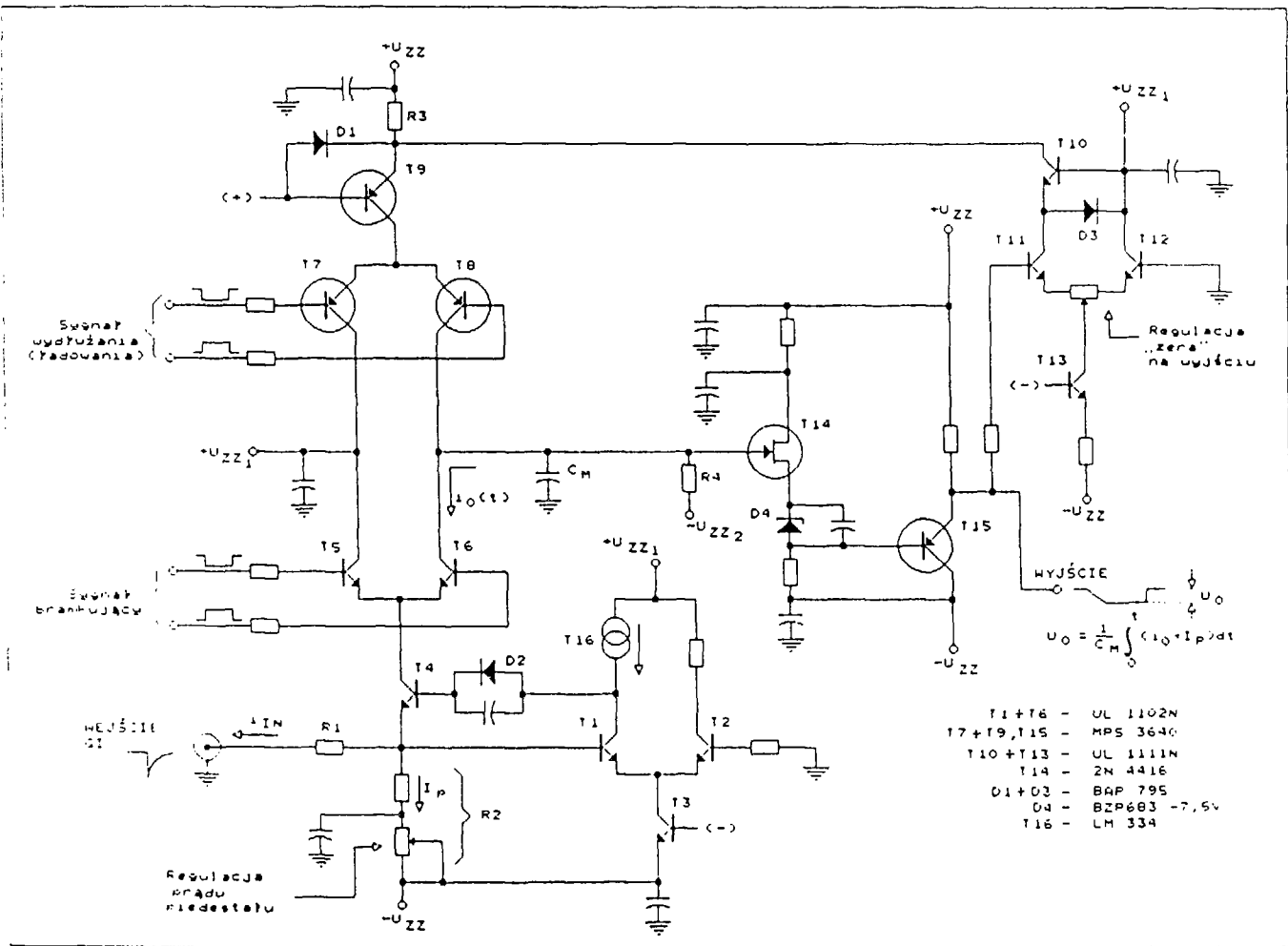
- a/ schemat układu
- b/ tablica kodów.



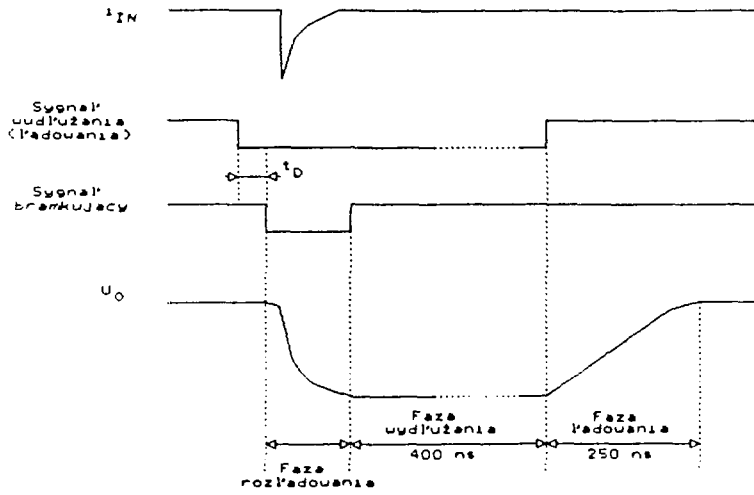
RYS.2. Schemat blokowy 3-bitowego, równoległego /"flash"/ przetwornika a/c typu EF 8308 firmy THOMSON-EEFCIS.



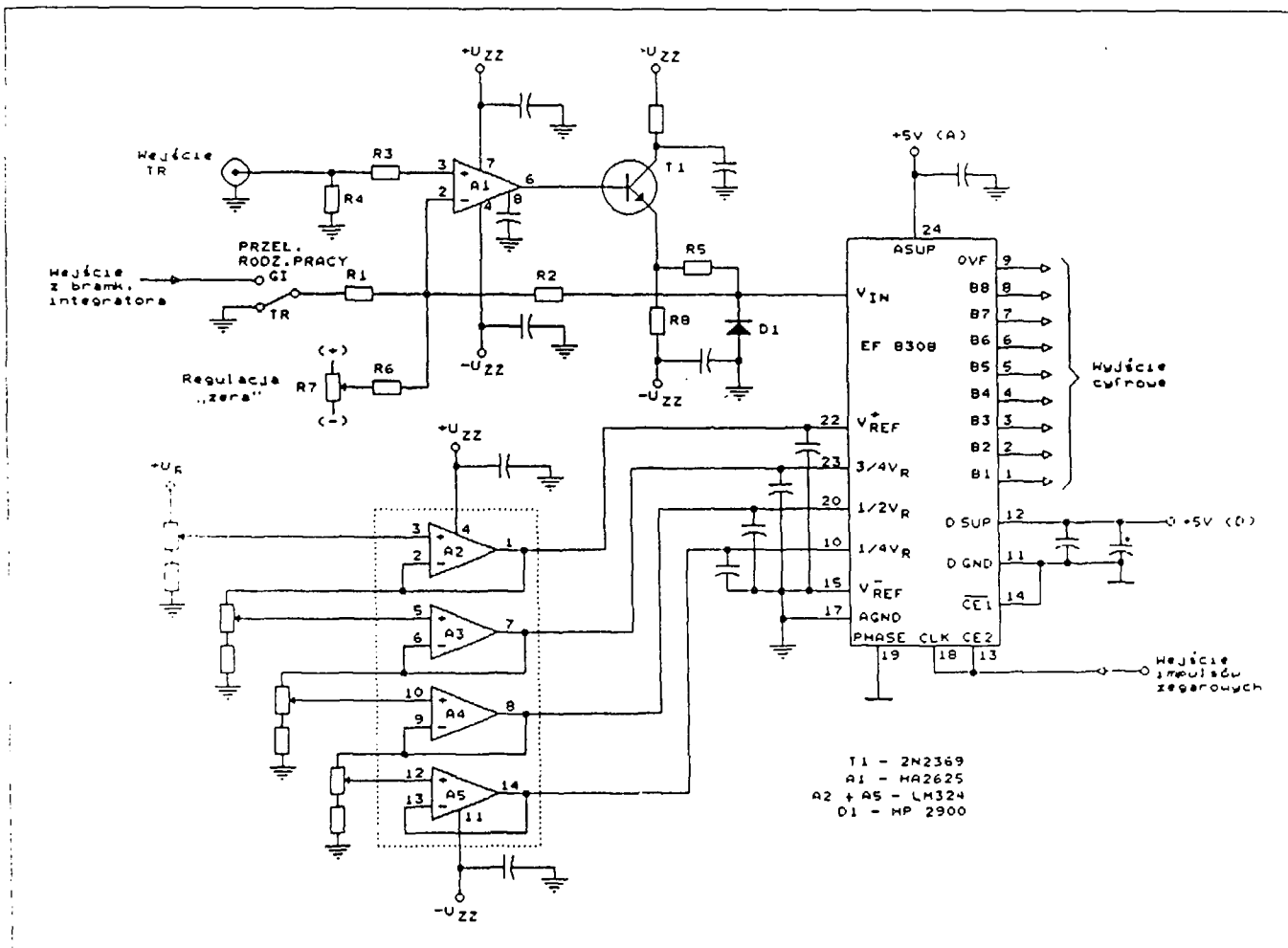
RYS.3. Schemat blokowy urządzenia.



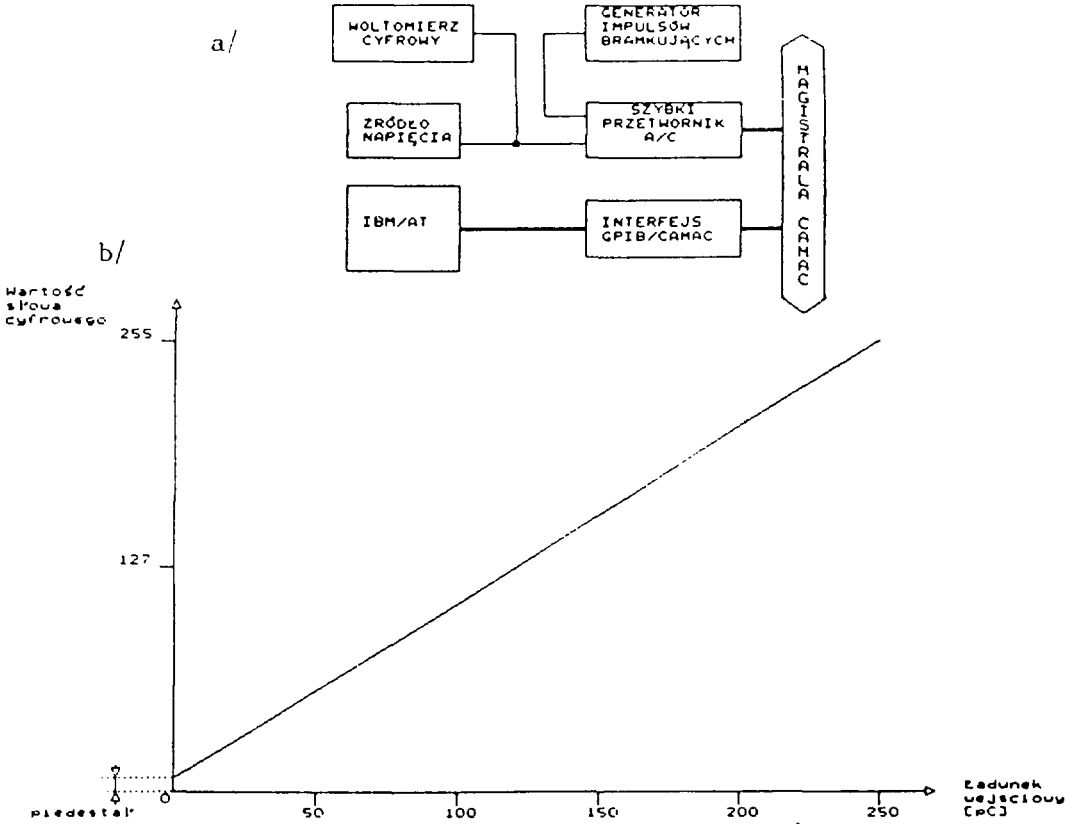
RYS.4. Uproszczone schemat bramkowanego integratora.



RYS.5. Przebiegi czasowe w układzie bramkowanego integratora.



RYS.6. Uproszczonego schemat równoległego przetwornika a/c typu "flash".

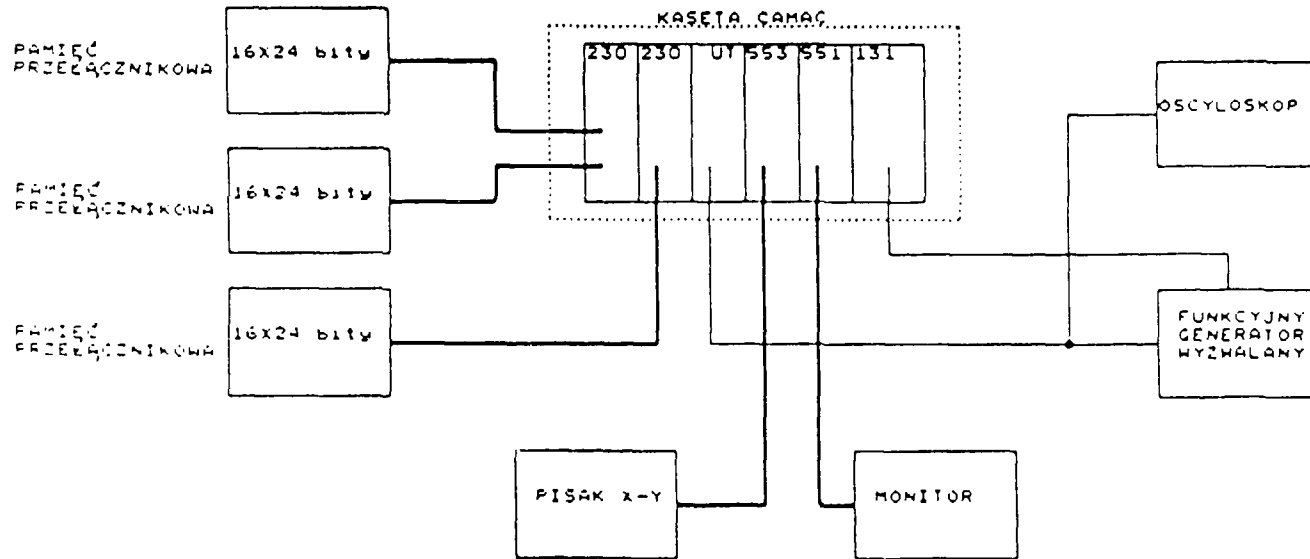


RYS.7. Pomiary ładunku

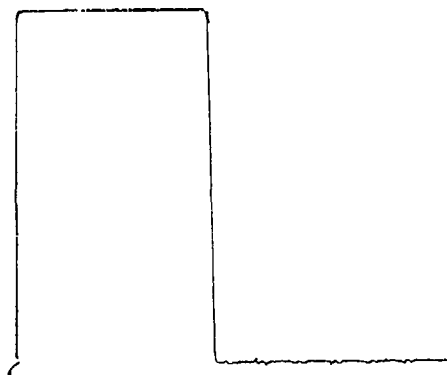
a/ zestaw pomiarowy CAMAC,

b/ charakterystyka przetwarzania w trybie pracy GI
jako przetwornik ładunkowo-cyfrowy/.

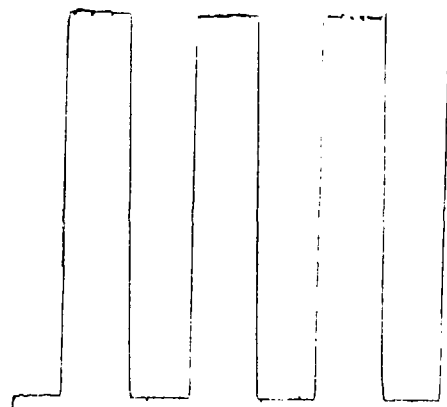
- 230 - INTERFEJS PAMIĘCI PRZEŁĄCZNIKOWEJ
- 553 - INTERFEJS PISAKA X-Y
- 551 - INTERFEJS MONITORA
- 131 - PROCESOR AUTONOMICZNY
- UT - UKŁAD TESTOWANY (SZYBKI PRZETWORNIK A/C)



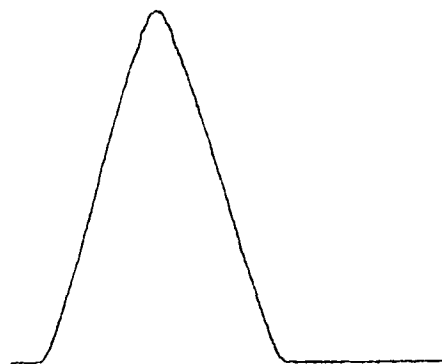
RYS.8. Zestaw pomiarowy CAMAC do rejestracji kształtu sygnałów.



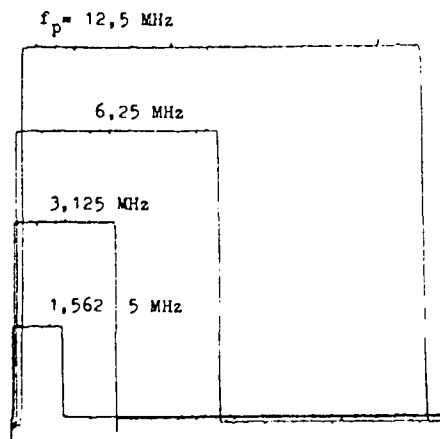
a/ przebieg prostokątny / $f_p = 12,5 \text{ MHz}$ /



c/ seria impulsów prostokątnych / $f_p = 12,5 \text{ MHz}$ /



b/ przebieg trójkątny / $f_p = 12,5 \text{ MHz}$ /



d/ seria impulsów prostokątnych

RYS.9. Przykładowe przebiegi zarejestrowane i zrekonstruowane.

Wydaje Instytut Energii Atomowej - OINTEA
Nakład 30+35 egz. Objętość: ark.wyd. 1.7; ark.druk.4.0;
Data złożenia maszynopisu: czerwiec 1990 r. Zezwolenie
GP.11'441'967'83 z dnia 19 lipca 1983 r.
