



INSTYTUT PROBLEMÓW JĄDROWYCH

im. ANDRZEJA SOŁTANA

ИНСТИТУТ ЯДЕРНЫХ ПРОБЛЕМ ИМ. А.СОЛТАНА
SOLTAN INSTITUTE FOR NUCLEAR STUDIES

RAPORT SINS-2095/P-III/E/B

8-BITOWY SZEREGOWO-RÓWNOLEGŁY
PRZETWORNIK ANALOGOWO-CYFROWY
DO REJESTRACJI SZYBKICH ANALOGOWYCH
PRZEBIEGÓW JEDNOKROTNYCH

Z. KULKA
M. NADACHOWSKI
Z. ZIMEK

OTWOCK-ŚWIERK

INSTYTUT PROBLEMÓW JĄDROWYCH
im. ANDRZEJA SOŁTANA

RAPORT SINS-2095/P-III/E/B

**8-BITOWY SZEREGOWO-ROWNOLEGŁY PRZETWORNIK ANALOGOWO-CYFROWY
DO REJESTRATORA SZYBKICH ANALOGOWYCH PRZEBIEGOW
JEDNOKROTNYCH**

ZBIGNIEW KULKA, MICHAŁ NADACHOWSKI
Instytut Problemów Jądrowych im. Andrzeja Sołtana, Zakład
Elektroniki Jądrowej, 05-400 Otwock-Świerk

ZBIGNIEW ZIMEK
Instytut Chemii i Techniki Jądrowej, Zakład Chemii
i Techniki Radiacyjnej, 03-195 Warszawa, ul. Dorodna 16

OTWOCK-ŚWIERK, SIERPIEŃ 1990

Zbigniew Kulka, Michał Nadachowski, Zbigniew Zimek: 8-bitowy szeregowo-równoległy przetwornik analogowo-cyfrowy do rejestratora szybkich analogowych przebiegów jednokrotnych.

W raporcie opisano 8-bitowy szeregowo-równoległy przetwornik analogowo-cyfrowy pracujący z częstotliwością próbkowania 5 MHz. Podano ważniejsze rozwiązania układowe i parametry. Przetwornik stanowi zasadniczą część rejestratora szybkich przebiegów jednokrotnych typu TR-1, przeznaczonego do pomiaru przebiegów impulsowych kinetyki reakcji chemicznych w badaniach radiacyjnych przy użyciu liniowego akceleratora elektronów.

Zbigniew Kulka, Michał Nadachowski, Zbigniew Zimek: 8-bit serial-parallel analog-to-digital converter for a fast transient recorder.

An 8-bit serial-parallel analog-to-digital converter with a sampling frequency 5 MHz is described. The most important circuits of the device are described and parameters are given. The converter is a central part of a transient recorder type TR-1 designed for recording pulse waveforms in measurements of the kinetics of chemical reactions which are radiation-induced using an electron linear accelerator.

Збигнев Кулька, Михал Надаховски, Збигнев Зимек: 8-разрядный аналого-цифровой преобразователь последовательно-параллельного типа для регистратора быстрых однократных сигналов

Описан 8-разрядный аналого-цифровой преобразователь исследовательного-параллельного типа работающий с частотой стробирования 5 МГц. Преобразователь является основной частью прибора TR-1 предназначенного для регистрации быстрых однократных кинетик реакции в области радиационной химии, исследуемых при использовании линейного ускорителя электронов. Описаны конструкция, функционирование и параметры прибора.

SPIS TREŚCI

1. WSTĘP	1
2. REJESTRATOR SZYBKICH PRZEBIEGÓW TYPU TR-1	3
3. 8-BITOWY SZEREGOWO-RÓWNOLEGLY PRZETWORNIK A/C	6
3.1. Charakterystyka szeregowo-równoległej metody prze- twarzania a/c i wybór struktury przetwornika	6
3.2. Opis układów przetwornika	10
3.2.1. Układ śledząco-pamiętający	10
3.2.2. 4-bitowy przetwornik a/c typu "flash"	11
3.2.3. 4-bitowy przetwornik c/a o wyjściu prądowym .	13
3.2.4. Układ wzmacniająco-odejmujący	14
3.2.5. Ocena podstawowych właściwości statycznych i dynamicznych przetwornika	16
4. WYKORZYSTANIE REJESTRATORA TR-1 W BADANIACH PROWADZONYCH METODĄ RADIOLIZY IMPULSOWEJ	17
5. WNIOSKI	19
LITERATURA	20
RYSUNKI	21

1. WSTĘP

W wielu dziedzinach nauki i techniki istnieje potrzeba rejestracji pojedynczych przebiegów analogowych charakteryzujących się dużą szybkością zmian w funkcji czasu. Tego rodzaju przebiegi powstają podczas eksperymentów i badań prowadzonych m.in. w fizyce i chemii jądrowej, spektroskopii laserowej, biomedycynie, technice wysokich napięć, technice radarowej, balistyce, technologii materiałowej.

Do rejestracji szybkich przebiegów służą wyspecjalizowane elektroniczne urządzenia pomiarowe, produkowane przez wiele firm, nazywane w nomenklaturze angielskiej "transient recorders". Takie rejestratory szybkich przebiegów są w zasadzie przeznaczone do zapisu przebiegów jednokrotnych, pojawiających się w sposób przypadkowy w funkcji czasu, lecz mogą też być stosowane do rejestracji wybranych fragmentów przebiegów okresowych lub ciągłych.

Powszechnie stosowana metoda rejestracji szybkiego przebiegu analogowego polega na wielokrotnym próbkowaniu tego przebiegu i przetwarzaniu analogowo-cyfrowym (a/c) pobranych próbek. Częstotliwość próbkowania musi być odpowiednio dobrana, aby możliwe było prawidłowe odwzorowanie kształtu przebiegu oryginalnego. Uzyskane cyfrowe wartości próbek (dane) są gromadzone w pamięci i następnie mogą być przekazywane do komputera, gdzie poddaje się je obróbce. Rejestrator jest często wyposażony również w przetwornik c/a, który umożliwia odtworzenie na ekranie oscyloskopu lub na pisaku przebiegu zarejestrowanego w pamięci.

Układy wchodzące w skład rejestratora szybkich przebiegów powinny spełniać trudne wymagania techniczne. W okresie między kolejnymi próbkowaniami musi nastąpić przetworzenie analogowo-cyfrowe próbki oraz jej zapis w pamięci. Z tego względu pamięć stosowana w rejestratorze

powinna charakteryzować się krótkim czasem zapisu - zwykle rzędu kilkudziesięciu nanosekund, a przetwornik a/c - bardzo krótkim czasem przetwarzania przy rozdzielczości na ogół od 6- do 10-bitów. Często w rejestratorze dla skrócenia czasu zapisu stosuje się dodatkową szybką pamięć buforową.

Wymagania dotyczące czasu przetwarzania powodują, że do rejestratorów szybkich przebiegów nadają się przede wszystkim równoległe przetworniki a/c (typu "full-flash") oraz szeregowo-równoległe przetworniki a/c (typu "half-flash"). Bywają też stosowane w tych urządzeniach szybkie przetworniki a/c z kompensacją wagową. Wybór odpowiedniego przetwornika a/c wiąże się zwykle z przyjęciem kompromisu pomiędzy wymaganą dokładnością (rozdzielczością) i szybkością przetwarzania oraz złożonością układową i mocą traconą.

Rozważając właściwości przetwornika a/c trzeba uwzględnić naturalny związek istniejący między szybkością zmian sygnału analogowego i szybkością przetwarzania a dokładnością wyniku przetworzenia a/c. Podczas przetwarzania zmienia się wartość sygnału wejściowego, co w przypadku przetworników mierzących wartość chwilową sygnału powoduje powstanie tzw. błędu dynamicznego. Wartość tego błędu jest funkcją dwóch parametrów : szybkości zmian sygnału wejściowego i czasu przetwarzania. Ogólnie biorąc, w rejestratorze powinien być zastosowany taki przetwornik a/c, aby w czasie konwersji wartość względna błędu dynamicznego była mniejsza od 1 LSB (lub $\pm 1/2$ LSB). Innymi słowy, w czasie przetwarzania sygnał wejściowy nie może się zmieniać więcej niż wartość, której odpowiada 1 LSB. W praktyce, warunek ten spełniają tylko niektóre, bardzo szybkie przetworniki a/c typu "flash". Jednak w większości przypadków, przetworniki a/c stosowane w rejestratorach szybkich przebiegów analogowych muszą być poprzedzone układami próbkująco-pamiętającymi lub śledząco-pamiętającymi

Rozważania dotyczące metod przetwarzania, budowy i parametrów przetworników a/c w różnych aspektach ich zastosowań są przedstawione w [1].

2. REJESTRATOR SZYBKICH PRZEBIEGÓW TYPU TR-1

Wśród parametrów technicznych charakteryzujących właściwości rejestratora szybkich przebiegów najważniejszymi są: maksymalna częstotliwość próbkowania, 3-decybelowe częstotliwościowe pasmo przenoszenia wejściowych układów analogowych rejestratora, rozdzielczość przetwornika a/c oraz pojemność pamięci. Parametrem o dużym znaczeniu praktycznym jest zakres napięcia wejściowego. Większość rejestratorów może pracować z różnymi, ustawianymi za pomocą przełącznika, zakresami napięcia wejściowego - od kilkudziesięciu miliwoltów do ± 10 V.

Rejestrator szybkich przebiegów jednokrotnych typu TR-1 [2] został opracowany w Instytucie Problemów Jądrowych w Świerku i jest przeznaczony przede wszystkim do pomiaru przebiegów impulsowych kinetyki reakcji chemicznych w badaniach radiacyjnych. Rejestrator TR-1 jest stosowany w komputerowym systemie gromadzenia i przetwarzania danych z eksperymentów prowadzonych metodą radiolizy impulsowej przy użyciu liniowego akceleratora elektronów w Instytucie Chemii i Techniki Jądrowej. Przyrząd został wykonany w standardzie aparatury modularnej CAMAC i charakteryzuje się pasmem przenoszenia do 2 MHz, częstotliwością próbkowania od 100 Hz do 5 MHz, 8-bitową rozdzielczością i pojemnością pamięci 1024 słów 8-bitowych.

Schemat funkcjonalny rejestratora szybkich przebiegów TR-1 podano na rys.1. Układ ma wejście różnicowe. Wartość sygnału wejściowego, zależnie od ustawionego zakresu pomiarowego, jest redukowana (w dzielniku) i wzmacniana w taki sposób, aby na wejściu układu śledząco-pamiętającego

miała poziom nie przekraczający $\pm 2,5$ V. Pomiarowy zakres wejściowy może być wybierany przełącznikiem w granicach od ± 50 mV do ± 2 V. Proces wielokrotnego próbkowania przebiegu jest inicjowany albo zewnętrznym sygnałem wyzwalającym, albo sygnałem generowanym wewnętrznie w chwili, gdy napięcie wejściowe przekracza pewną wartość progową. Próg wyzwalania może być w sposób ciągły regulowany potencjometrem w pełnym zakresie napięcia wejściowego z możliwością wyboru zbocza dodatniego lub ujemnego.

Zasadniczą częścią urządzenia jest szybki 8-bitowy przetwornik a/c oparty na szeregowo-równoległej metodzie przetwarzania do którego wejścia jest doprowadzony sygnał z układu śledząco-pamiętającego (S-P). Praca całego urządzenia jest synchronizowana impulsami z generatora zegarowego. Po wygenerowaniu w układach wyzwalających sygnału START pierwszy impuls zegarowy powoduje zapamiętanie przez pewien czas w układzie śledząco-pamiętającym chwilowej wartości napięcia wejściowego. W tym czasie następuje przetworzenie napięcia wejściowego na kod cyfrowy oraz zapis uzyskanej wartości kodu cyfrowego do pamięci.

Pamięć rejestratora składa się z dwóch części. Pierwsza jest szybka pamięć buforowa zbudowana z przerzutników typu SN 74 S112, do której wpisywane są kolejno wartości wszystkich próbek przed ich wpisaniem do pamięci głównej. Czas zapisu w pamięci buforowej jest równy ok. 10 ns. Pamięć buforowa ma pojemność dwóch słów 8-bitowych. Zapis informacji i ich przepisywanie do pamięci głównej odbywa się przemiennie. Pamięć główna o pojemności 1024 słów 8-bitowych, składa się z układów TTL typu TM 107 o czasie dostępu ok. 40 ns. Konieczność stosowania szybkiej pamięci buforowej wynika z bilansu trwania poszczególnych procesów w układzie. Odstęp czasowy między kolejnymi próbkowaniami jest przy maksymalnej częstotliwości próbkowania 5 MHz równy 200 ns. W tym okresie musi nastąpić przetworzenie analogowo-cyfrowe, zapis rezultatu do pamięci oraz ustalenie się nowej

aktualnej wartości napięcia na wyjściu układu śledząco-pamiętającego. W zastosowanym rozwiązaniu czas przetwarzania a/c jest równy ok. 140 ns. W ciągu następnych 10 ns rezultat zostaje wpisany do pamięci buforowej i układ śledząco-pamiętający powraca do "śledzenia" napięcia mierzonego. Pozostaje więc okres ok. 50 ns na zrównanie się napięcia wyjściowego układu S-P z aktualną wartością napięcia mierzonego przy dokładności odpowiadającej 8-bitowej rozdzielczości. W układzie bez pamięci buforowej ten okres byłby zbyt krótki. Próbkowanie jest powtarzane 1024-krotnie i po jego zakończeniu w pamięci głównej są zgromadzone 1024 próbki cyfrowe, zawierające informacje o kształcie i wielkości badanego przebiegu.

Po zakończeniu rejestracji 1024 próbek, reprezentujących badany przebieg, zebrane informacje są wykorzystywane w zależności od możliwości systemu CAMAC. Układ sygnalizuje gotowość do przekazania danych, wysyłając sygnał LAM. Dane mogą być odczytywane przez magistralę CAMAC kolejno słowo po słowie odpowiednim rozkazem CAMAC, przy czym przyrost adresu o 1 odbywa się automatycznie. Istnieje możliwość rozpoczęcia odczytu nie od pierwszego, lecz od dowolnie wybranego słowa przez zapis adresu początkowego przy użyciu odpowiedniej funkcji CAMAC. Funkcje CAMAC realizują też obsługę sygnału LAM (kasowanie, blokowanie, odblokowanie). Za pomocą dodatkowego przetwornika c/a umieszczonego w tej samej kasecie CAMAC zarejestrowany przebieg może być wielokrotnie odtwarzany na ekranie oscyloskopu lub na pisaku. Dane są przesyłane również do komputera w celu dalszego opracowania. Urządzenie jest zmontowane w 6-modułowym bloku CAMAC, zawierającym 4 płytki montażowe, z których dwie łączą się z magistralą.

3. 8-BITOWY SZEREGOWO-RÓWNOLEGŁY PRZETWORNIK A/C

3.1 Charakterystyka szeregowo-równoległej metody przetwarzania a/c i wybór struktury przetwornika

Istotą szeregowo-równoległej metody przetwarzania a/c jest dwu- lub więcej stopniowe przetwarzanie sygnału z kolejnym określaniem wartości bitów słowa wyjściowego w grupach po kilka bitów, poczynając od najstarszych. Stopnie przetwarzania o wyjściach cyfrowych dwu- lub więcej bitowych, są rozdzielane wzmacniaczami, układami odejmującymi i przetwornikami c/a. połączonymi w taki sposób, aby na wejściu następnego stopnia uzyskać taki sam zakres napięciowy sygnału, jak w stopniu poprzednim określającym starsze bity.

Metoda przetwarzania szeregowo-równoległego jest często stosowana obok metody równoległej w szybkich przetwornikach a/c. Pozwala uzyskać stosunkowo dużą szybkość przetwarzania przy zachowaniu wymaganej rozdzielczości z uniknięciem znacznej rozbudowy układu przetwornika. Równoległe przetworniki a/c typu "flash" mają - jak wiadomo - najkrótsze czasy przetwarzania. Jednak szybkość tych układów maleje ze wzrostem ich rozdzielczości (powyżej 8-bitów, nie więcej jednak niż 10), gdyż liczba użytych komparatorów rośnie wykładniczo ze wzrostem liczby bitów n słowa wyjściowego, tak samo jak liczba poziomów porównania ($2^n - 1$). Przy większych rozdzielczościach można stosować przetworniki oparte na metodzie porównania szeregowego o liczbie komparatorów znacznie mniejszej, bo równej liczbie bitów słowa wyjściowego, lecz o czasie przetwarzania dłuższym niż w szeregowo-równoległych przetwornikach a/c. Stąd, rozwiązaniem kompromisowym są właśnie przetworniki szeregowo-równoległe.

Zaletą szeregowo-równoległych przetworników a/c jest możliwość wyboru optymalnego wariantu liczby stopni i liczby

bitów w stopniu zależnie od wymaganej dokładności, szybkości i złożoności układu. Ogólnie biorąc, układ zbudowany z m -stopni p -bitowych charakteryzuje się rozdzielczością $m \times p$ bitów przy konieczności użycia $m(2^p-1)$ komparatorów. Pewną niedogodnością występującą przy projektowaniu tych przetworników jest fakt, że zawierają one wspomniane wzmacniacze, układy odejmujące i przetworniki c/a, w których uzyskanie krótkich czasów odpowiedzi nie jest łatwe. Te właśnie układy mają decydujący wpływ na całkowity czas konwersji przetwornika.

Stosowane w praktyce szeregowo-równoległe przetworniki a/c charakteryzują się zwykle 8÷12 bitową rozdzielczością przy częstotliwościach próbkowania 10÷50 MHz oraz dwustopniową strukturą.

W rejestrze szybkich przebiegów typu TR-1 zastosowano 8-bitowy szeregowo-równoległy przetwornik a/c poprzedzony układem śledząco-pamiętającym (S-P). Potrzeba użycia układu S-P wynika z kształtu przebiegów rejestrowanych w eksperymentach prowadzonych metodą radiolizy impulsowej. Przebiegi te mają kształt impulsów o czasach narastania rzędu kilkuset nanosekund i czasach opadania rzędu kilku-kilkudziesięciu milisekund. Z obserwacji oscylograficznych tego rodzaju przebiegów wynika, że maksymalna szybkość zmian napięcia nie przekracza $10V/\mu s$. Można łatwo wykazać [1], że aby uzyskać w przypadku 8-bitowego przetwornika błąd dynamiczny mniejszy od 1 LSB jego czas przetwarzania powinien być mniejszy od 10 ns. Uzyskanie tak krótkiego czasu przetwarzania jest bardzo trudne. Problem ten rozwiązano przez zastosowanie na wejściu przetwornika - o czasie konwersji około 140 ns - układu S-P.

Realizację przetwornika oparto o klasyczną dwustopniową strukturę z dwoma identycznymi 4-bitowymi przetwornikami typu "flash" zbudowanymi przy użyciu szybkich monolitycznych komparatorów napięcia.

Schemat blokowy 8-bitowego przetwornika szeregowo-

równoległego jest pokazany na rys. 2. Przetwornik zawiera dwa stopnie przetwarzające z 4-bitowymi równoległymi przetwornikami a/c typu "flash", z których każdy określa stany 4-bitów 8-bitowego słowa wyjściowego. Proces przetwarzania przebiega w czterech fazach. W fazie pierwszej śledzony przebieg wejściowy jest próbkowany i wartość próbki jest zapamiętywana. W fazie następnej próbka napięcia wejściowego jest przetwarzana w 4-bitowym przetworniku a/c typu "flash", na wyjściu którego otrzymuje się stany czterech starszych bitów. W fazie trzeciej, próbka napięcia wejściowego jest rekonstruowana w 4-bitowym przetworniku c/a (o dokładności 8-bitowej) i odejmowana od wartości napięcia U_I . Uzyskana różnica, będąca błędem kwantyzacji pierwszego stopnia przetwarzania a/c, jest po wzmocnieniu przetwarzana na kod cyfrowy w drugim przetworniku typu "flash". A zatem w fazie czwartej następuje określenie pozostałych 4 bitów słowa wyjściowego. W celu zachowania w obu stopniach przetwarzania a/c jednakowego wejściowego zakresu napięciowego, sygnał różnicowy jest wzmacniany $2^{n/2}$ -krotnie, czyli 16 razy, gdzie $n=8$ jest liczbą bitów słowa wyjściowego. Cały proces przetwarzania jest synchronizowany sygnałami zegarowymi, których dla uproszczenia opisu nie uwzględniono na schemacie.

Przy tej metodzie przetwarzania ilość niezbędnych komparatorów napięcia wynosi 30. Dla porównania, realizacja 8-bitowego przetwornika a/c metodą równoległą wymaga użycia 255 komparatorów napięcia. W układzie zastosowano dwa dodatkowe komparatory służące do sygnalizacji przekroczenia zakresu pomiarowego w obu kierunkach.

Całkowity czas przetwarzania w dwustopniowym szeregowo-równoległym przetworniku a/c jest sumą czasów przetwarzania w dwóch stopniach przetworników a/c typu "flash" oraz czasów odpowiedzi przetwornika c/a, układu odejmującego i wzmacniacza błędu. Największy udział w całkowitym czasie przetwarzania mają trzy ostatnie czasy

odpowiedzi, a szczególnie odpowiedzi układu różnicowo - wzmacniającego.

Z najnowszych opracowań wiadomo, że w celu zmniejszenia czasu konwersji 8-bitowych szeregowo-równoległych przetworników a/c można ich struktury w różny sposób modyfikować. Jeden ze sposobów polega np. na zastąpieniu przetwornika w pierwszym stopniu przetwarzającym innym równoległym przetwornikiem a/c typu "flash", jednak nie zbudowanym z komparatorów napięcia lecz z tzw. wzmacniaczy typu V o charakterystyce przenoszenia $U = f(U)$ w kształcie odwróconej litery V (ang. folding amplifiers) [1,3]. Przetwornik ten koduje 15 poziomów napięciowych w cztery bity MSB i jednocześnie wytwarza napięcie błędu kwantowania, dzięki czemu nie jest potrzebny zarówno przetwornik c/a jak i układ różnicowo-wzmacniający, przez co eliminuje się związane z nimi opóźnienia. Drugi stopień przetwarzający pozostaje bez zmian i określa bity LSB.

Inna modyfikacja [4] polega również na eliminacji przetwornika c/a i pozostałych układów analogowych przez wprowadzenie przełączanego dzielnika rezystorowego podającego napięcia odniesienia do komparatorów. Przełączanie odbywa się za pomocą specjalnej matrycy przełącznikowej. Podobnie jak w klasycznym układzie dwustopniowym, najpierw określone są bity MSB, a następnie bity LSB, ale proces uzyskiwania 8-bitowego słowa wyjściowego jest szybszy.

Oba wspomniane zmodyfikowane przetworniki a/c zrealizowano praktycznie w okresie późniejszym niż opisywany przetwornik a/c do rejestratora szybkich przebiegów typu TR-1. Co więcej, obie te specjalne modyfikacje nie nadają się do implementacji dyskretno-monolitycznej, gdyż wszystkie wspomniane zalety przetworników są możliwe do uzyskania jedynie przez zastosowanie zaawansowanej technologii integracji monolitycznej.

Warto również nadmienić, że klasyczna technika realizacji dwustopniowych, szeregowo-równoległych przetworników a/c rozwinęła się w ostatnich latach dzięki pojawieniu się 6 i 7 bitowych monolitycznych przetworników a/c typu "flash". Umożliwiły one zwiększenie rozdzielczości - głównie hybrydowych przetworników szeregowo-równoległych - do 12-bitów, przy zachowaniu stosunkowo dużej szybkości przetwarzania. Przykładem może tu być 12-bitowy/10 MHz przetwornik a/c typu ADC 600 firmy Burr-Brown [6].

3.2. Opis układów przetwornika

Pełny opis całego rejestratora TR-1, a w nim skrócony opis 8-bitowego szeregowo-równoległego przetwornika a/c, podano w opracowaniu [7]. Poniżej opisano szerzej zasadnicze układy przetwornika i omówiono ich właściwości.

3.2.1 Układ śledząco-pamiętający

Schemat szybkiego układu śledząco-pamiętającego jest pokazany na rys. 3. Zawiera on bramkę liniową typu szeregowo-równoległego w postaci mostka diodowego D9+D12, kondensator pamiętający C_M o małej pojemności, dwa szybkie wtórniki napięciowe A_1 i A_2 o dużych rezystancjach wejściowych, elementy sterujące mostkiem (diody D13, D14 i tranzystory T1+T6) oraz dwa zespoły wejściowych ograniczników napięcia (diody D1+D4 i diody D5+D8).

W mostku diodowym został użyty zespół 4 diod Schottky'ego typu HP 5082-2805 o identycznych charakterystykach (dobór fabryczny) i pikosekundowych czasach przełączania. W fazie śledzenia (bramka zamknięta), prądy I_R polaryzujące diody mostka umożliwiają ładowanie i rozładowanie kondensatora pamięciowego, dzięki czemu

napięcie na kondensatorze nadaża za zmianami napięcia wejściowego. W fazie pamiętania, diody D13 i D14 (są również diody Schottky'ego) oraz tranzystory T1, T5 i T2, T6 przejmują prądy I_R i bramka zostaje otwarta. Kondensator C_M pamięta chwilową wartość napięcia wejściowego. Sygnały pamiętania, o czasach trwania określonych czasem przetwarzania, są podawane na bazy tranzystorów sterujących T3 i T4.

Układ śledząco-pamiętający nie zawiera pętli sprzężenia zwrotnego. Jest to warunek uzyskania dużej szybkości działania. Ogólna stabilność częstotliwościowa zależy tylko od indywidualnej stabilności obu wyjściowych wtórników napięciowych. W przewidywanych warunkach pracy, oba wtórniki typu LH 0033 są bezwarunkowo stabilne, a ich wyjściowe napięcia niezrównoważenia są kompensowane za pomocą potencjometrów o wartościach 100 Ω . Zasadnicze parametry układu śledząco-pamiętającego: zakres napięciowy sygnałów wejściowych $\pm 2,5$ V, piedestał na wyjściu bramki liniowej w stanie pamiętania mniejszy od 5 mV, czas zamknięcia bramki liniowej około 5 ns, spadek napięcia na kondensatorze pamiętającym około 4 mV/s.

3.2.2 4-bitowy przetwornik a/c typu "flash"

Na rys. 4 pokazano schemat 4-bitowego szybkiego przetwornika a/c z bezpośrednim porównaniem równoległym. Dwa tego typu przetworniki zostały zastosowane w 8-bitowym szeregowo-równoległym przetworniku a/c. Podstawowymi elementami przetwornika typu "flash" są komparatory napięcia. Każdy monolityczny układ scalony typu MC 1560 zawiera dwa komparatory. W sumie do budowy obydwu przetworników a/c typu "flash" użyto 16 układów MC 1560. Do uzyskania 4-bitowego słowa wyjściowego potrzeba 15 komparatorów. Pozostałe dwa komparatory zostały użyte do sygnalizacji przekroczenia progów przetwarzania, w pierwszym

przetworniku - górnego progu (+2.25 V), w drugim - dolnego progu (-2.25 V). Precyzyjny dzielnik rezystorowy, składający się z wysokostabilnych rezystorów o wartości 75 Ω , jest zasilany ze źródeł napięć odniesienia o wartościach $\pm 2,25$ V.

Informacja cyfrowa z wyjść komparatorów w tzw. kodzie "termometrowym" jest przekształcana na informacje w kodzie dwójkowym za pomocą deszyfratora zbudowanego z bramek logicznych NOR zawartych po cztery w każdym układzie typu MC 1662. Poszczególne stany bitów kodu od A(MSB) do D(LSB) określone są następującymi zależnościami:

$$\begin{aligned} A_{(MSB)} &= K8 \\ B &= K4 \overline{K8} + K12 \\ C &= K2 \overline{K4} + K6 \overline{K8} + K10 \overline{K12} + K14 \\ D_{(LSB)} &= K1 \overline{K2} + K3 \overline{K4} + K5 \overline{K6} + K7 \overline{K8} + K9 \overline{K10} + \\ &+ K11 \overline{K12} + K13 \overline{K14} + K15 \end{aligned}$$

gdzie: A,B,C,D - stany bitów kodu słowa cyfrowego
na wyjściu przetwornika

K1 + K15 - stany na wyjściach komparatorów
(\overline{K} - negacja stanu K)

Napięcia na wyjściach komparatorów i bramek logicznych NOR są zgodne z napięciami układów logicznych typu ECL.

Informacja cyfrowa na wyjściach komparatorów jest zapamiętywana na czas, w którym sygnał strobojący znajduje się w stanie niskim.

Przetwornik a/c przedstawiony na rys.4 charakteryzuje się 4-bitową rozdzielczością, czasem odpowiedzi ok. 10 ns i zakresem napięcia wejściowego $\pm 2,25$ V. Wartość napięcia odpowiadająca 1 LSB wynosi $U_{FS}/2^n = 282$ mV, gdzie $U_{FS} = 4,5$ V i $n=4$.

3.2.3 4-bitowy przetwornik c/a o wyjściu prądowym

Schemat szybkiego 4-bitowego przetwornika c/a jest przedstawiony na rys.5. Przetwornik zawiera 4 źródła prądowe z tranzystorami T9 ÷ T12, wzmacniaczami operacyjnymi A1 ÷ A4 oraz rezystorami wysokostabilnymi o wartościach wagowych $R_{E9} ÷ R_{E12}$. Napięcie odniesienia podawane do wejść nieodwracających wzmacniaczy operacyjnych uzyskuje się za pomocą 9V wysokostabilnej diody D1. Sposób połączenia diody D1 w układzie przetwornika, gwarantuje niezależność wartości napięcia odniesienia od zmian napięcia zasilającego -24 V. Prądy źródeł o wartościach wagowych (0,25 mA; 0,5 mA; 1 mA i 2 mA) są przełączane za pomocą przełączników prądowych zbudowanych z par tranzystorowych T1, T2 do T7, T8 i sumowane w wyjściowej szynie zbiorczej. Wartość prądu wyjściowego I_{DAC} określonego wyrażeniem:

$$I_{DAC} = I_{MSB} (a_0 2^0 + a_1 2^{-1} + a_2 2^{-2} + a_3 2^{-3})$$

gdzie: I_{MSB} - wartość prądu odpowiadającego najbardziej znaczącemu bitowi, równa 2 mA

a_0 do a_3 - indywidualne stany bitów mogące przyjmować tylko jedną z dwóch wartości 1 lub 0

może zmieniać się od 0 do 3,75 mA w zależności od stanów 4-bitowego wejściowego słowa cyfrowego w naturalnym kodzie dwójkowym. Stanom 1 lub 0 bitów wejściowego słowa cyfrowego odpowiadają napięcia zgodne z poziomami logicznymi układów cyfrowych ECL.

Przetwornik c/a z rys.5 charakteryzuje się 4-bitową rozdzielczością, dokładnością lepszą od $\pm 1/2$ LSB przy błędzie dokładności względnej mniejszym od $\pm 0,2\%$ (dokładność 8-bitowego przetwornika c/a) oraz czasem ustalania napięcia na rezystorze obciążenia $R_L = 100 \Omega$ ok. 10 ns.

3.2.4 Układ wzmacniająco-odejmujący

Układ przedstawiony na rys.6. nazywany tutaj układem wzmacniająco-odejmującym. spełnia szereg istotnych funkcji w fazie pośredniej procesu przetwarzania, a czas trwania tej fazy ma decydujący wpływ na czas trwania całego procesu przetwarzania a/c.

W układzie tym wykonywane są następujące operacje:

- konwersja prądu wyjściowego przetwornika c/a na napięcie,
- "przesunięcie zera" w celu zamiany napięcia unipolarnego na symetryczne napięcie bipolarne,
- wzmocnienie napięcia bipolarnego w celu wyrównania zakresów napięć przetwarzanych w przetwornikach a/c typu "flash" z dokładnością do $1/2$ LSB,
- opóźnienie napięcia wejściowego U_{IN2} ,
- odejmowanie napięć $(U_{IN2} - U'_{IN1})$ oraz przemnożenie różnicy przez 16.

Funkcje konwertera prądowo-napięciowego spełnia rezystor R3. Zarówno wartość jak i kierunek prądu płynącego przez ten rezystor, zależy od wartości prądu wyjściowego I_{DAC} przetwornika c/a, przy czym wartość i kierunek prądu "przesuwającego" I_p są stałe. Wartość prądu I_p dobiera się tak, aby była równa wartości prądu odpowiadającego bitowi MSB przetwornika c/a, czyli $I_p = I_{MSB} = 2 \text{ mA}$.

Prąd I_p jest dostarczany ze źródła prądowego z tranzystorem T12, wzmacniaczem operacyjnym A3, wysokostabilnymi diodą D1 i rezystorem R2.

Dopływ prądu I_p do węzła "x" umożliwia "przesunięcie zera" i powstanie na rezystorze R3 pod wpływem prądu I_{DAC} napięcia obu znaków. Gdyby prąd I_p był równy zeru, to spadek napięcia na rezystorze R3 miałyby znak ujemny w całym zakresie zmian prądu I_{DAC} .

Napięcie powstające na rezystorze R3 jest następnie podawane na wejście nieodwracające wzmacniacza operacyjnego A2. Wzmocnienie tego stopnia, określone wyrażeniem $(1+R6/R5)$ wynosi około 5. Ta wartość wzmocnienia wynika z konieczności dopasowania napięcia wyjściowego U'_{IN1} do napięcia U_{FS} drugiego, 4-bitowego przetwornika a/c typu "flash" (napięcia U_{FS} są identyczne dla obydwu przetworników a/c typu "flash"). Różnica napięć $(U_{IN2}-U'_{IN1})$ powinna być równa napięciu odpowiadającemu 1/2 LSB czyli 141 mV (patrz rys.3). Uzyskuje się wtedy tzw. wyrównanie "skali" obydwu przetworników a/c typu "flash", konieczne dla prawidłowego działania całego przetwornika szeregowo-równoległego. Istnieje jeszcze druga przyczyna, dla której wartość wzmocnienia wzmacniacza A2 nie może być mniejsza od 5. Zbyt mała jego wartość, mimo że korzystniejsza z punktu widzenia szybkości ustalania napięcia wyjściowego, wymagałaby zastosowania rezystora R3 o większej wartości. Wtedy spadek napięcia na tym rezystorze przy zmianach prądu I_{DAC} w pełnym zakresie byłby większy, ale mógłby też stać się przyczyną nieprawidłowego działania przełączników prądowych przetwornika c/a (rys.5).

Stąd też dobór wartości rezystora R3 i wzmocnienia wzmacniacza A2 jest kompromisem pomiędzy różnymi wymaganiami. Czas ustalania napięcia na wyjściu wzmacniacza A2 przy pełnej zmianie sygnału wejściowego wynosi ok. 40 ns.

Ze względu na konieczność zachowania synfazowości napięć U'_{IN1} i U_{IN2} , napięcie U_{IN2} podawane na wejście nieodwracające wzmacniacza A3 musi być opóźnione w fazie. Realizuje się to przez odpowiedni podział rezystora R9 i dobór wartości kondensatora C9.

Wzmacniacz różnicowy A3 o wzmocnieniu różnicowym równym $R8/R7=16$, przy $R7=R9$ i $R8=R10$, umożliwia wykonanie operacji odejmowania napięć $(U_{IN2}-U'_{IN1})$ i pomnożenia przez 16. Napięcie uzyskiwane na wyjściu wzmacniacza A3 jest podawane

na wejście drugiego 4-bitowego przetwornika a/c typu "flash", aby uzyskać 4 młodsze bity 8-bitowego słowa wyjściowego szeregowo-równoległego przetwornika a/c. Czas ustalania napięcia na wyjściu wzmacniacza A3 wynosi około 70 ns.

3.2.5 Ocena podstawowych właściwości statycznych i dynamicznych przetwornika

Ocenę właściwości statycznych 8-bitowego szeregowo - równoległego przetwornika a/c (z pominięciem układu S-P) wykonano przez porównanie rzeczywistej charakterystyki przetwarzania $U_{IN}=f(N)$ z charakterystyką idealną. Nieliniowość całkowita, określona w zakresie zmian napięcia wejściowego U_{IN} od -2,25 V do +2,25 V przez pomiar 32-punktowy (wartość słowa wyjściowego obserwowana na wskaźniku cyfrowym zmieniano co 8), nie przekracza $\pm 0,1\%$. Nieliniowość różniczkową określono metodą kolejnych ustawień wszystkich 255 wartości kodu wyjściowego. Nie zauważono brakujących kodów co pozwala na stwierdzenie, że nieliniowość ta jest mniejsza od ± 1 LSB.

Ocenę właściwości dynamicznych przetwornika a/c przeprowadzono przy użyciu szybkiego 8-bitowego przetwornika c/a typu DAC-1 oraz oscyloskopu. Podając na wejście przetwornika a/c przebieg sinusoidalnie zmienny z generatora sprawdzano za pomocą oscyloskopu zgodność tego przebiegu z przebiegiem zrekonstruowanym przetwornikiem c/a, połączonym z badanym przetwornikiem a/c (wraz z układem S-P).

Sprawdzenia wykonywane metodą nakładania obydwu przebiegów powtarzano kilkakrotnie, zmieniając zarówno częstotliwość powtarzania przebiegu sinusoidalnego jak i częstotliwość próbkowania. Należy tutaj przyznać, że tego rodzaju sprawdzenia dają jedynie przybliżoną ocenę właściwości dynamicznych przetwornika. Tym niemniej,

znaczniejsze błędy, np. takie jak nieciągłości lub zniekształcenia przebiegu zrekonstruowanego za pomocą przetwornika c/a (wcześniej wyselekcjonowanego i sprawdzonego) byłyby łatwo dostrzegalne.

W trakcie pomiarów zmieniano częstotliwość sygnału sinusoidalnego w zakresie od około 1 kHz do około 2,5 MHz, dostosowując odpowiednio częstotliwość próbkowania do szybkości zmian sygnału wejściowego. Nie przekraczano przy tym maksymalnej częstotliwości próbkowania 5 MHz, wynikającej z czasu przetwarzania ok. 140 ns (suma czasów przetwarzania poszczególnych stopni przetwornika) czasu zapisu do pamięci buforowej ok. 10 ns i czasu ustalania się nowej wartości próbki ok. 50 ns. W wyniku przeprowadzonych pomiarów nie zauważono żadnych istotnych zniekształceń przebiegu rekonstruowanego, które mogłyby wskazywać na nadmierną (większą od 2 LSB) nieliniowość różniczkową, brakujące kody lub też pasożytnicze ograniczenia pasmowe.

4. WYKORZYSTANIE REJESTRATORA TR-1 W BADANIACH PROWADZONYCH METODĄ RADIOLIZY IMPULSOWEJ

Zasadniczym zadaniem systemu radiolizy impulsowej jest gromadzenie informacji o kinetyce badanych reakcji chemicznych [8]. Rejestracja szybkich pojedynczych impulsów wypełnia tylko część zadań zestawu pomiarowego. Istotnym wynikiem eksperymentu są informacje uzyskane w wyniku przetworzenia danych wejściowych przy użyciu maszyny cyfrowej, pracującej najczęściej w układzie "on-line".

Na rys.7 przedstawiono schemat blokowy systemu gromadzenia i przetwarzania danych eksperymentalnych radiolizy impulsowej uruchomiony w Zakładzie Chemii i Techniki Radiacyjnej IChTJ [9]. Kluczowym elementem systemu jest rejestrator TR-1, umożliwiający zapis pojedynczych impulsów odpowiadających zależnościom kinetycznym badanych

reakcji. Rejestrator TR-1 jest zainstalowany w kasecie CAMAC i sterowany przez minikomputer MERA 60 za pośrednictwem kontrolera kasyety CAMAC (106). Pozostałe bloki CAMAC (559, 321, 360) służą do obsługi dodatkowych kanałów analogowych omawianego systemu pomiarowego.

Zarejestrowana kinetyka może być odtworzona przy użyciu oscylografu po uruchomieniu odpowiedniego programu obsługi kasyety CAMAC. Dane eksperymentalne po przekazaniu do pamięci komputera są poddane obróbce matematycznej. W trakcie działania programu prowadzona jest m.in. normalizacja danych, uśrednianie wyników, logarytmowanie itp. Program umożliwia wyznaczenie stałych parametrów reakcji, a także symulowanie kinetyk o zadanych parametrach.

Na rys.8 przedstawiono schemat przepływu informacji w trakcie gromadzenia i przetwarzania danych eksperymentalnych. Końcowym wynikiem jest wydruk zawierający stałe parametry reakcji oraz graficzny obraz kinetyki w zmienionych współrzędnych. Na tym samym wykresie może być naniesiony teoretyczny przebieg kinetyki o wyznaczonych wcześniej stałych parametrach.

Rys. 9 ilustruje kolejne etapy analizy krzywej kinetycznej przedstawionej na rys.9a. Wyznaczony na drodze normalizacji i obróbki matematycznej danych przebieg ekstynkcji jest pokazany na rys.9b. Obserwowany przebieg jest wynikiem nałożenia dwu niezależnych reakcji o odmiennych stałych parametrach procesu.

Program obróbki danych został napisany w Fortranie i zawiera 169 rozkazów bez uwzględnienia podprogramów.

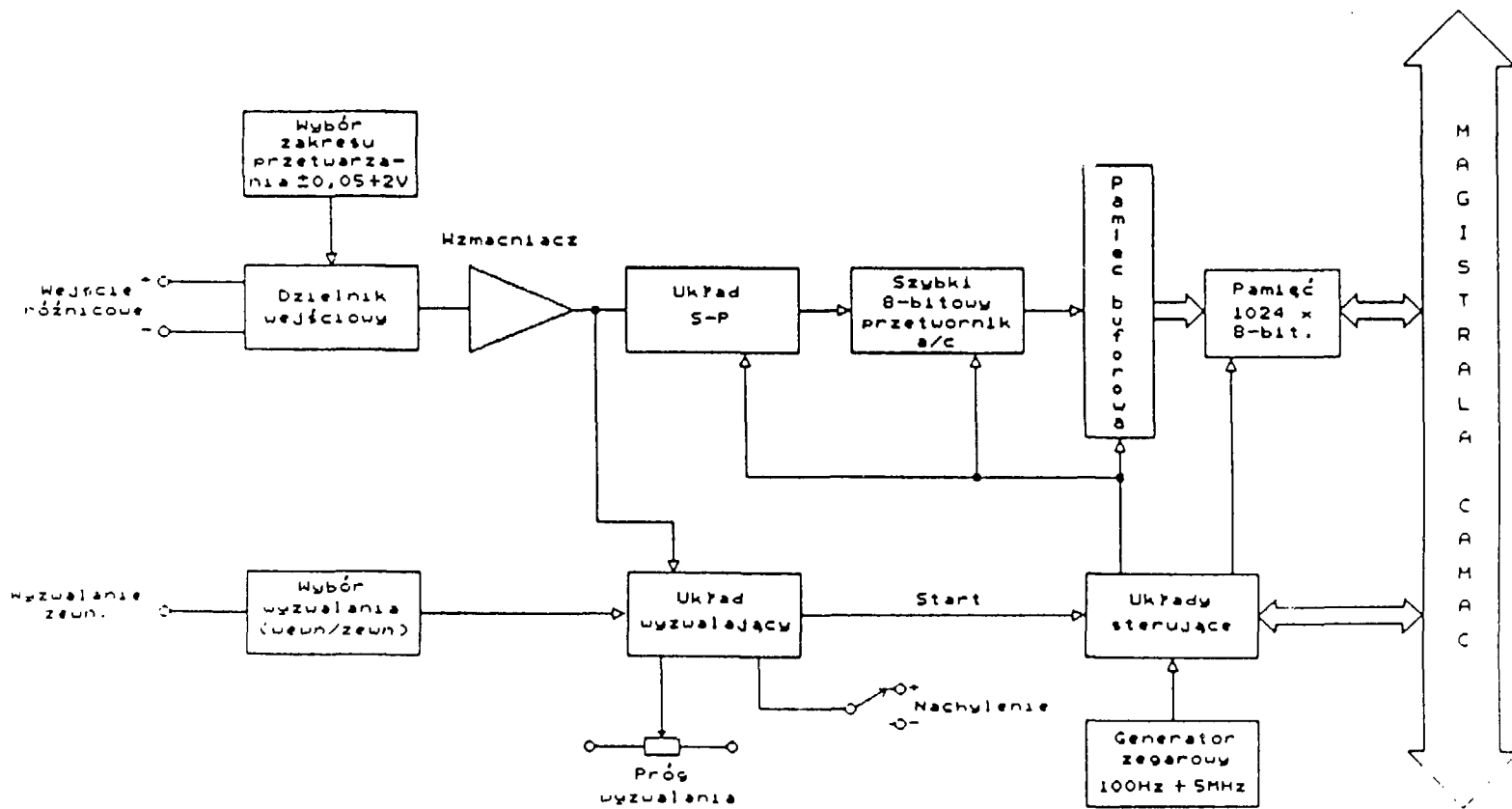
5. WNIOSKI

Opisany 8-bitowy, szeregowo-równoległy przetwornik a/c pracujący z częstotliwością 5 MHz został zrealizowany techniką dyskretno-monolityczną m.in. przy użyciu komparatorów napięcia MC 1650 i bramek logicznych MC 1662 serii ECL. Była to jedyna możliwość zbudowania tak szybkiego (czas konwersji ok. 140 ns) 8-bitowego przetwornika a/c przy ówczesnych możliwościach w zakresie bazy elementowej istniejących w Zakładzie Elektroniki Jądrowej IBJ (lata 1980-81). Realizacja szybkiego przetwornika a/c umożliwiła następnie opracowanie urządzenia TR-1 do rejestracji kształtu sygnałów, które było z powodzeniem wykorzystane przez szereg lat w badaniach prowadzonych metodą radiolizy impulsowej na liniowym akceleratorze elektronów w Zakładzie Chemii i Techniki Radiacyjnej IBJ (obecnie IChTJ).

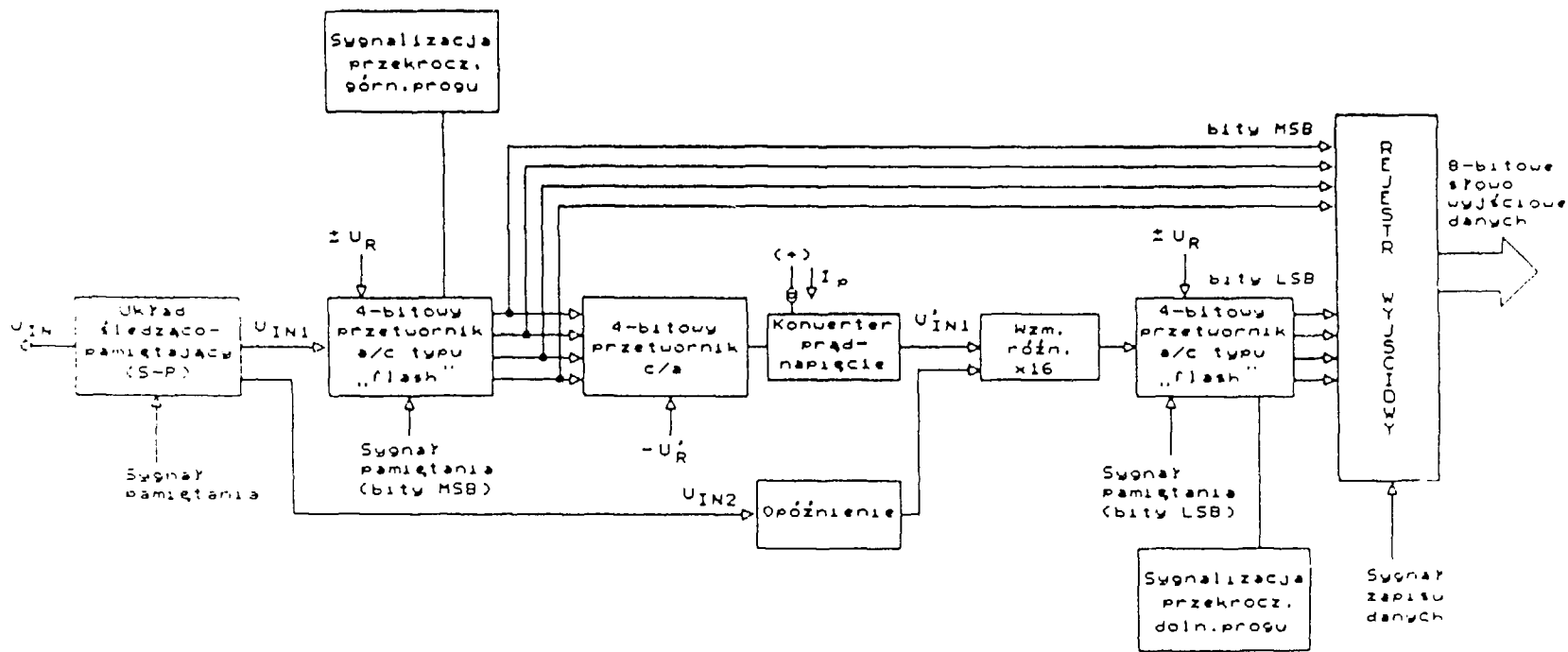
Realizacja praktyczna przetwornika a/c działającego w oparciu o metodę szeregowo-równoległą była okazją do zdobycia wielu cennych doświadczeń, przydatnych w późniejszych opracowaniach przetworników a/c bazujących już na pełno-monolitycznych układach równoległych typu "flash". Należy jednak zaznaczyć, że szeregowo-równoległa metoda przetwarzania a/c jest nadal metodą najszybszą przy rozdzielczościach powyżej 10-bitów, chociaż obecnie jako podzespoły są stosowane monolityczne przetworniki a/c typu "flash" o mniejszych rozdzielczościach 6+8 bitów.

LITERATURA

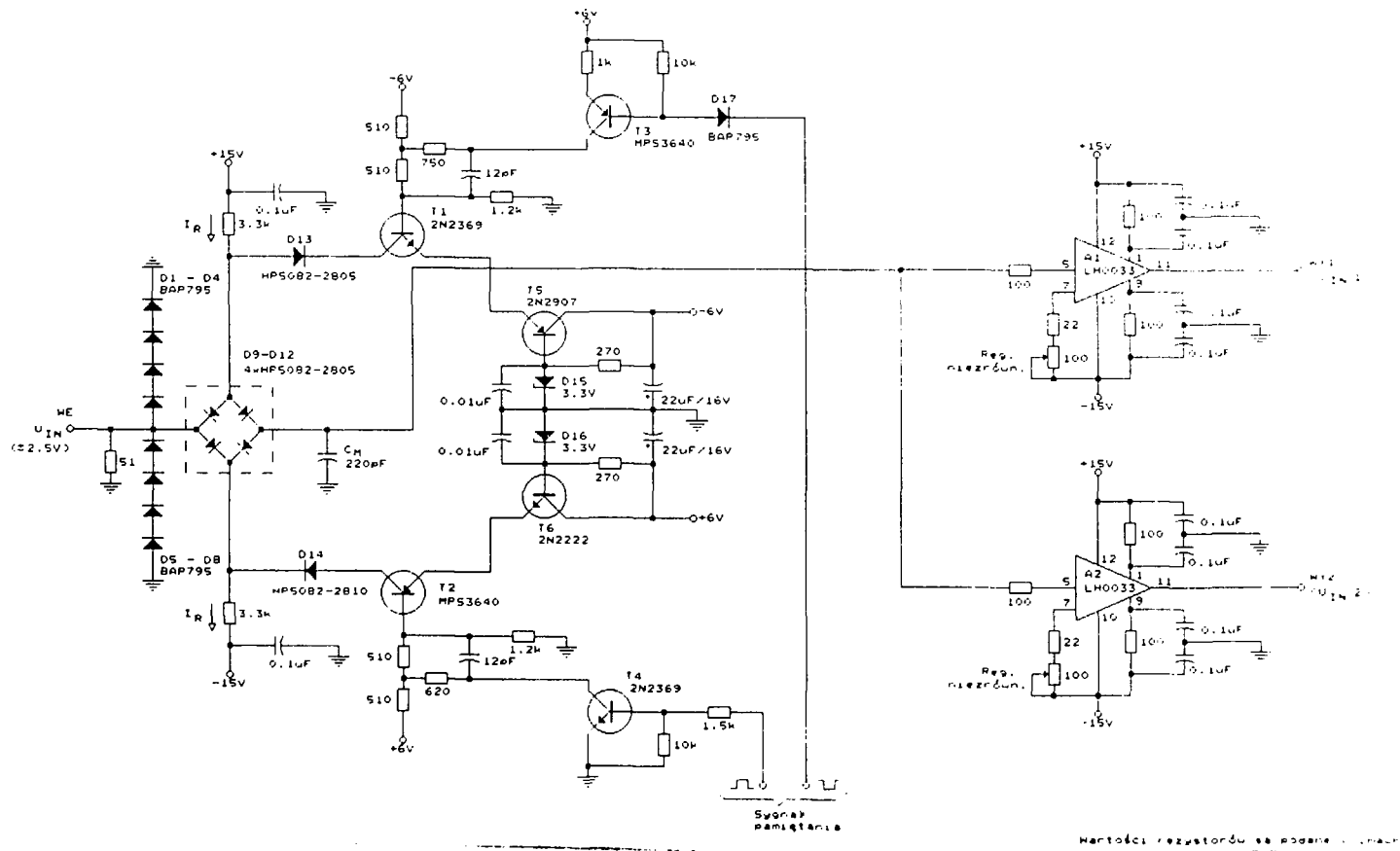
- [1] Kulka Z., Nadachowski M., Libura A., Przetworniki analogowo-cyfrowe i cyfrowo-analogowe, WKŁ, Warszawa 1987
- [2] Kulka Z., Nadachowski M., Sobczyński C., A high speed sampling and digitizing system for recording fast single analog signals, Mat. Konf. "Application of CAMAC system for communication, automation and measurements, str. 119, Warszawa 1983
- [3] Buchele W., Modify a dual-rank ADC for 100 MHz data sampling, EDN, June 9, 1983
- [4] Sekins T., Takeda M., A monolithic 8 bit 2 step parallel ADC without DAC and subtractor circuits, Int.Solid State Circuits Conf., p.46, 1982
- [5] Dhawan S.K., New developments in flash ADC's, IEEE Trans. on Nucl.Scie., vol. NS-31, No 1, 1984
- [6] Burr-Brown, Integrated circuits data book, vol.33, 1989
- [7] Kulka Z., Nadachowski M., Anders Z., Sikora F., Wasilewski E., Układ do pomiaru kształtu przebiegów jednokrotnych (Transient Recorder typu TR-1), Oprac. wewn. 0-152/III/81, IBJ (IPJ) Swierk
- [8] Zimek Z., Zabłotny J., Krawczyński R., Frankowski W., Equipment for digital recording of transient signals, J. of Radioanalytical and Nuclear Chemistry, Articles, Vol. 101, No 2 (1986) 171-175
- [9] Zimek Z., Zabłotny J., The system for process control and data analysis based on microcomputer and CAMAC equipment in the LAE 13/9 linear electron accelerator, Lecture Notes in Physics, Nr 215, Computing in Accelerator Design and Operation Proc., Berlin, 1983



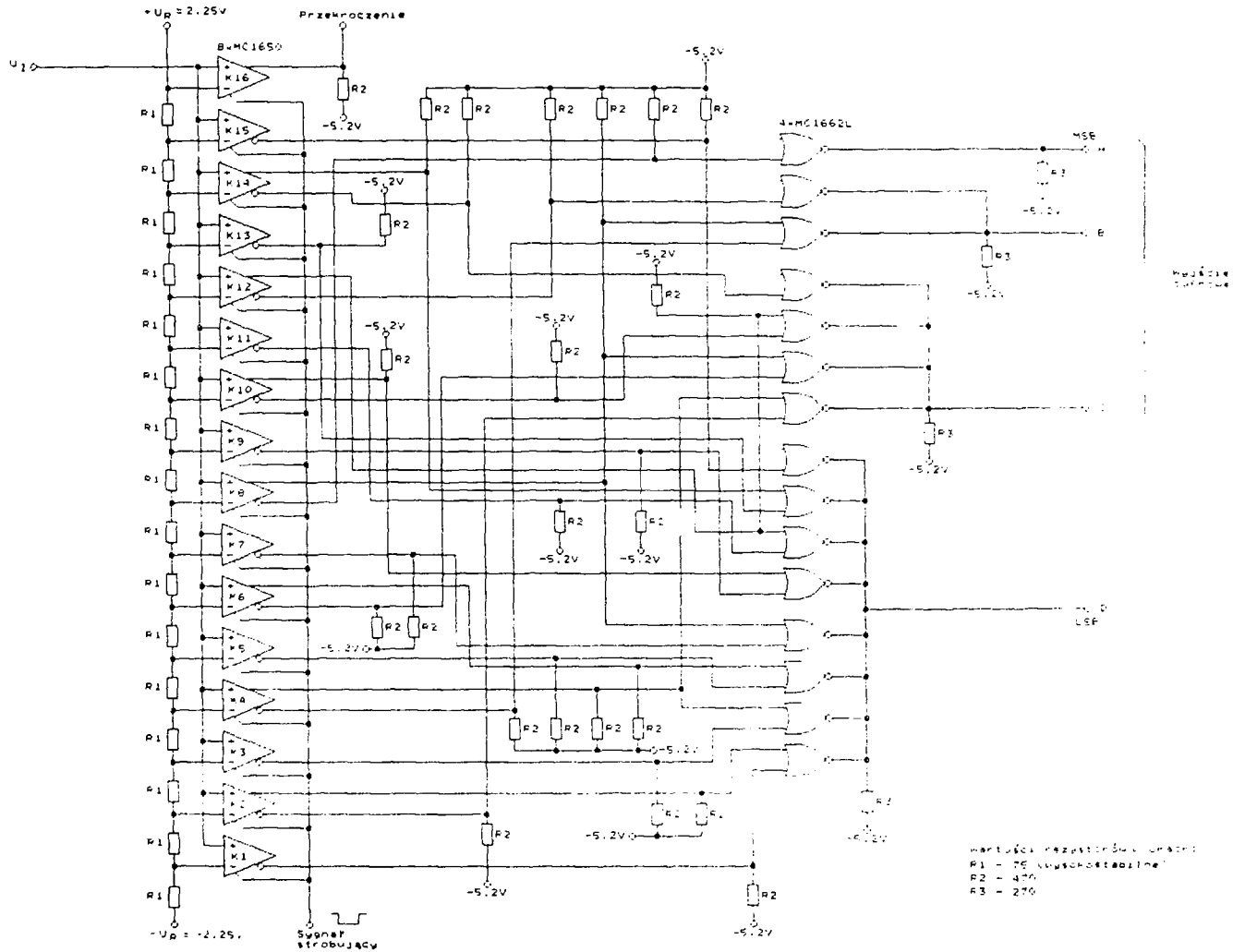
RYS.1. Schemat funkcjonalny rejestratora szybkich przebiegów typu TR-1.



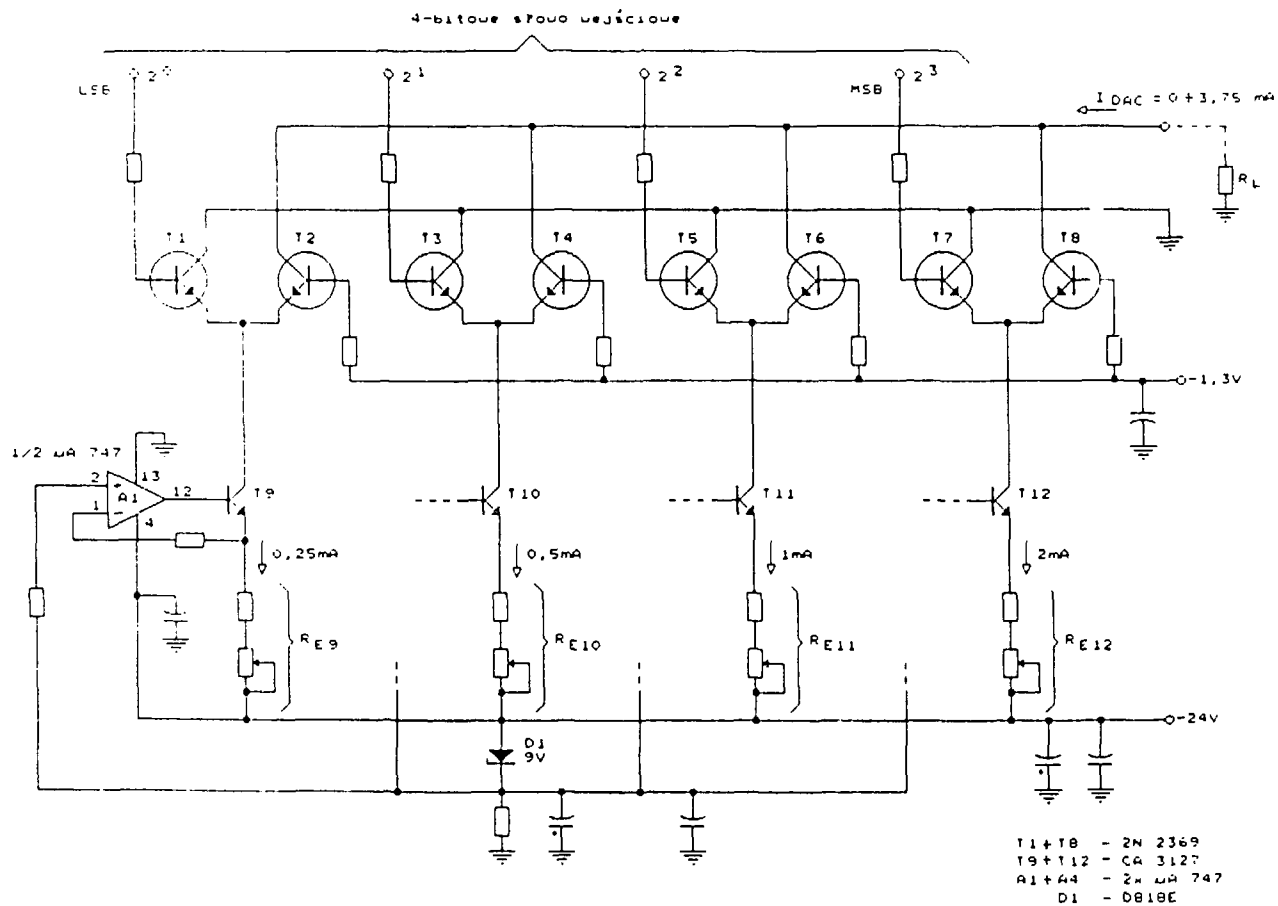
RYS.2. Schemat blokowy przetwornika a/c zastosowanego w rejestratorze przebiegów szybkich typu TR-1.



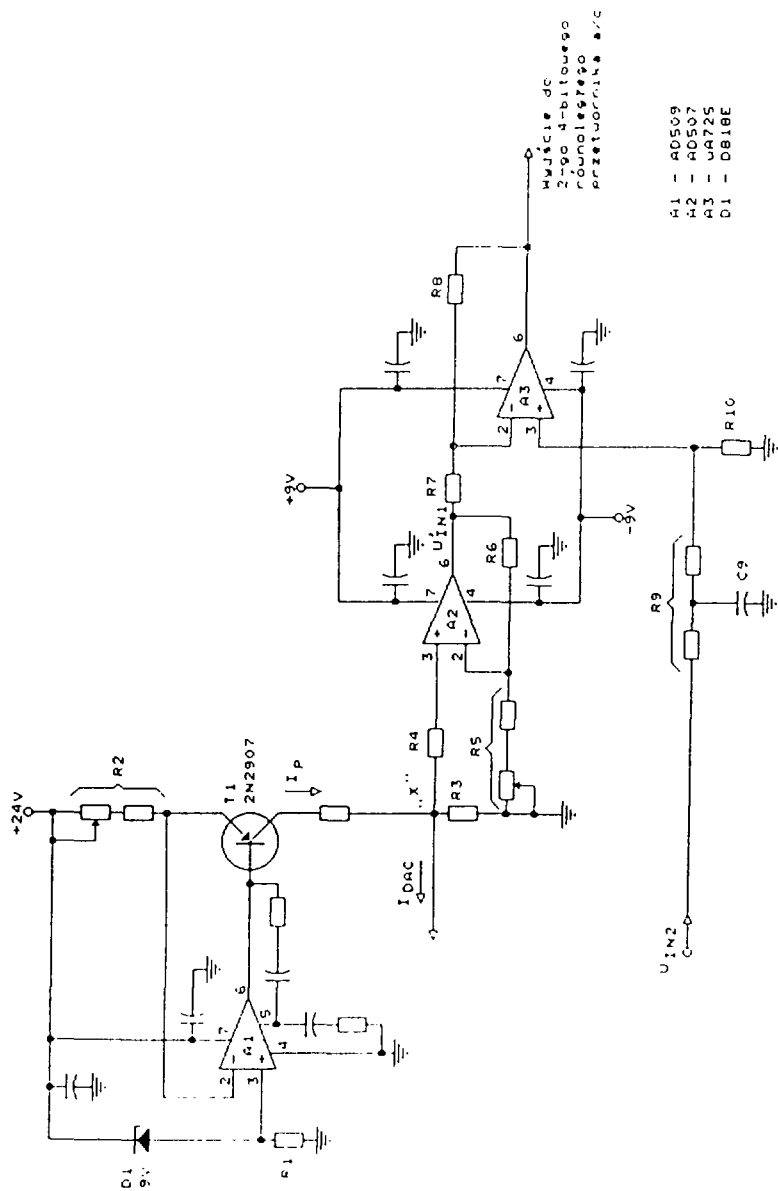
RYS.3. Schemat układu śledząco-pamiętającego.



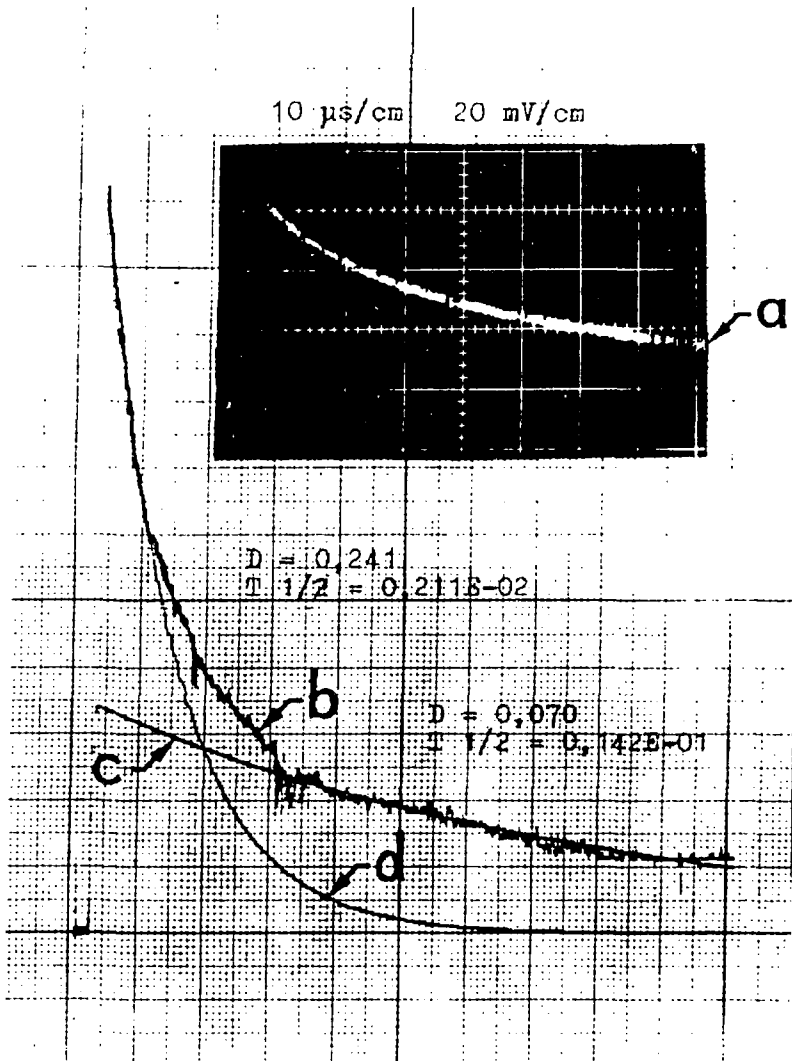
RYS.4. Schemat 4-bitowego równoległego przetwornika a/c typu "flash".



RYS.5. Schemat 4-bitowego przetwornika c/a z wyjściem prądowym.



RYS.6. Schemat układu wzmacniająco-odejmującego.



RYS.9. Kinytyki: a - zmiana natężenia światła analizującego wywołana impulsem przyspieszonych elektronów;
b - zmiany współczynnika ekstynkcji;
c, d - zależności teoretyczne.