

A.J. AUBERTON-HERVE (*), J.L. LERAY (**)

(*) CEA - DTA, LETI, BP45X, F-38041 Grenoble Cedex , France

(**) CEA - DAM, service Electronique, BP12, F-91680 Bruyères le Châtel, France

LE DURCISSEMENT DES TECHNOLOGIES DE CIRCUITS INTEGRES RADIATION HARDENING OF INTEGRATED CIRCUITS TECHNOLOGIES

Résumé: La prise en compte des effets de rayonnement ionisant au niveau des circuits intégrés est apparue dans la décennie - 1960-1970-. Face aux différents types d'agression du domaine militaire ou spatial une nouvelle discipline est née afin de comprendre les modes de vulnérabilité. Des solutions ont été apportées, appelées durcissement des technologies. L'amélioration des technologies existantes, leur caractérisation font l'objet de nombreuses études. Cependant une autre approche a consisté à développer des technologies spécifiques: les techniques silicium sur isolant pour le cas du CMOS ou du bipolaire. La technologie HSOI3HD (action conjointe DGA-CEA DAM et LETI ainsi que THOMSON TMS) répond aujourd'hui aux critères de durcissement les plus élevés avec un niveau d'intégration pouvant atteindre plusieurs centaines de milliers de composants élémentaires ouvrant la voie à des systèmes complexes intégrés sur une seule puce de silicium et durcis au niveau de la technologie et non plus du système.

Abstract: The radiation hardening studies started in the mid decade -1960-1970. To survive the different military or space radiative environment, a new engineering science borned, to understand the degradation of electronics componants. The different solutions to improve the electronic behavior in such environment, have been named "radiation hardening" of the technologies. Improvement of existing technologies, and qualification method have been widely studied. However, at the other hand, specific technologies was developped: The Silicon On Insulator technologies for CMOS or Bipolar. The HSOI3HD technology (supported by DGA-CEA DAM and LETI with THOMSON TMS) offers today the highest hardening level for the integration density of hundreds of thousand transistors on the same silicon. Full complex systems would be realized on a single die with a technological radiation hardening and no more system hardening.

1. INTRODUCTION

La découverte en 1958, grâce à la sonde EXPLORER 1, de la première ceinture de Van Allen a ouvert la voie aux études de durcissement aux contraintes naturelles dans le domaine spatial [1]. Le rayonnement ionisant constitué par les particules piégées dans ces ceintures ainsi que les rayons cosmiques constituent les problèmes majeurs de l'électronique spatiale embarquée.

Cependant le durcissement de l'électronique aux rayonnements ionisants est apparu comme une nécessité lorsque le 9 juillet 1962 l'explosion thermonucléaire exoatmosphérique américaine "Starfish", déclenchée à 400km d'altitude au dessus du Pacifique sud, injecta de l'ordre de 10^{29} électrons dans l'espace créant ainsi la première ceinture artificielle entre 3000 et 16000 km. Il s'en suivi peu après son lancement, le 10 juillet, la perte du premier satellite de télécommunication TELSTAR1 dont l'apogée se situait à 5600km d'altitude ainsi que d'autres satellites au bout d'un temps plus long [2]. Cette ceinture persista suivant l'altitude, de quelques

mois à plusieurs années. Les particules libérées par l'explosion furent piégées dans les ceintures de radiation (électrons, protons), et irradièrent les satellites les traversant, provoquant la destruction progressive des fonctions électroniques embarquées.

Peu après, il fut envisagé d'utiliser une telle vulnérabilité comme moyen de détruire des systèmes électroniques militaires ou spatiaux [2]. La guerre électronique était née, avec comme prolongement ce qui fut nommé bien plus tard la "guerre des étoiles".

L'accroissement de la complexité des circuits intégrés (plusieurs millions de composants élémentaires par cm^2) est une composante inéluctable du développement de l'industrie des composants électroniques. Les problèmes de durcissement en sont bouleversés puisque les circuits intégrés assurent aujourd'hui les fonctions de systèmes complexes. La multiplicité des besoins dans le domaine militaire, spatial mais aussi civil, à travers les réacteurs nucléaires ou les nouveaux accélérateurs de particules, place la maîtrise du durcissement des technologies comme une composante importante de la compétition des sociétés industrialisées. La nécessité du durcissement concerne des domaines aussi larges que les nouveaux systèmes d'armes, l'exploitation de l'espace et la conquête de nouvelles planètes, la sécurité des installations nucléaires civiles, les développements de la science de la matière avec la création de systèmes de mesures toujours plus performants sur les grands instruments internationaux de physique des particules.

Nous discuterons ici des modes de vulnérabilité aux différentes sources de rayonnement ainsi que des méthodes de durcissement appliquées aux technologies de circuits intégrés. Enfin nous prendrons l'exemple d'une technologie développée en France pour atteindre des performances très élevées dans le cadre des applications précitées.

2. LES SOURCES DE RAYONNEMENTS

L'ensemble des flux de particules auxquels peuvent être soumis les composants, qu'ils soient naturels (ions, électrons, protons), ou artificiels (neutrons, photons), sont résumés Fig(1). La prise en compte de l'environnement du composant fait souvent intervenir plusieurs types de contraintes; nous prendrons ici deux exemples de sources de rayonnement:

figure n°1

2.1 LE CONTEXTE MILITAIRE

Le cas d'une explosion nucléaire est résumé dans ses grandes lignes Fig(2). Si les rayons X, relativement peu pénétrants, peuvent être arrêtés par les superstructures (éventuellement renforcées par des blindages), les rayons gamma et les neutrons atteignent plus facilement le coeur des systèmes électroniques. Les composants sont soumis à deux types d'agression [3] :

- un flash de rayon gamma de quelques dizaines de nanosecondes

- une bouffée de neutrons de quelques dizaines de microsecondes

Ces deux composantes sont caractérisées par l'intensité du débit (on parle de débit de dose crête pour les gamma) et par la quantité totale d'énergie absorbée (on parle de dose pour les gamma et de fluence pour les neutrons). L'ensemble de ces flux constitue l'agression à laquelle est soumise le composant électronique.

figure n°2

2.2 LE CONTEXTE SPATIAL

La spécificité de l'environnement spatial consiste en la présence d'ions lourds fortement énergétiques insensibles aux blindages, (vents solaires, rayonnements cosmiques galactiques et extragalactiques). Ces ions traversent la matière créant le long de leur trace des paires électrons trous et donc des photocourants. Le caractère localisé de l'agression, (de l'ordre de grandeur des dispositifs élémentaires des technologies de circuits intégrés), entraîne une perturbation elle-même locale, qui dans son principe est très proche des effets liés au flash gamma précité. Dans le cas de circuits du type mémoires, on parlera de SEU (Single Event Upset), caractérisant le taux d'erreurs par bit et par jour occasionnées dans le stockage des données. Ce type de problème est devenu crucial, le nombre d'erreurs étant de plusieurs centaines à quelques milliers par an sur l'ensemble des satellites civils en orbite [4]. Au niveau de la vulnérabilité et des méthodes de durcissement, nous ne distinguerons pas le SEU et le débit de dose que nous pourrions regrouper sous le terme des effets transitoires.

3. LA VULNERABILITE DES COMPOSANTS ELECTRONIQUES

Face aux agressions précédemment citées, l'interaction rayonnement matière au niveau des composants électroniques aboutit à deux types de phénomènes [5] Fig(3):

- L'effet d'ionisation qui conduit à la création de charges excédentaires (paires électrons-trous dans les semi-conducteurs et isolants), d'où génération de photocourants. Suite à cette génération de paires le piégeage des électrons ou des trous va dépendre du nombre de défauts existant dans le matériaux. On parle alors d'effets permanents ou semi-permanents pour caractériser les dérives occasionnées par ce piégeage sur les caractéristiques des composants. Les effets semi-permanents concernent la phase de guérison post-irradiation correspondant au dépiégeage des charges. Ils s'opposent aux effets permanents qui correspondent aux dérives résiduelles. Les effets permanents étant prépondérants dans les isolants, on caractérisera leur sensibilité à la dose cumulée.

- l'effet de création de défauts par chocs élastiques entre les particules et le réseau. Ces défauts sont essentiellement constitués de paires lacunes-interstitiels de Frenkel associées en amas. Le transfert d'énergie cinétique au cours du choc est plus efficace pour des particules incidentes de forte masse, tels les neutrons, et des matériaux de faible masse atomique. Ainsi la vulnérabilité de l'arseniure de gallium à une irradiation aux neutrons sera 2,5 fois plus faible

que le silicium dans le rapport des masses (70/28). Les effets dans le cas des semiconducteurs sont rendus plus complexes par l'ajout de dopants, nécessaires à la réalisation des composants électroniques, qui peuvent eux aussi subir l'interaction d'une particule incidente.

figure n°3

3.1 VULNERABILITE DES TECHNOLOGIES

Nous avons résumé dans le tableau suivant la vulnérabilité de trois technologies aux différents effets précités. Nous reviendrons par la suite au cas de la technologie silicium sur isolant qui présente, pour l'ensemble des contraintes de durcissement, le meilleur compromis. Seul l'Arseniure de Gallium présente potentiellement un meilleur comportement à la dose intégrée mais pour une sensibilité plus grande aux effets transitoires.

Tableau 1

3.1.1 LES TECHNOLOGIES CMOS

Les technologies CMOS sont sensibles aux mécanismes d'ionisation à travers la dose cumulée et le débit de dose. Par contre elles sont relativement peu sensibles aux effets de création de défauts et donc aux flux de neutrons. La défaillance liée à ce dernier phénomène sera due à l'augmentation des courants de fuite dans les jonctions, à la réduction de la mobilité des porteurs entraînant une réduction de la transconductance.

La dose intégrée va par contre occasionner le mode de défaillance le plus fréquent de ces technologies CMOS soumises aux rayonnements ionisants. En effet le transistor MOS utilise un oxyde (dioxyde de silicium SiO_2) sous la grille de contrôle, dont les dérives sous irradiation impactent directement sur les paramètres électriques principaux de cet interrupteur de courant à seuil, commandé en tension. En particulier ce seuil sera décalé d'autant plus que le piégeage de charge dans l'oxyde de grille sera important ; il s'agit là de l'effet prédominant lié à la dose intégrée. D'autres isolants interviennent dans ces technologies soit pour isoler les transistors entre eux, soit entre les niveaux d'interconnexions. Nous avons résumé Figure(4) les différentes structures MOS existant dans une technologie CMOS classique, qui, lorsqu'elles sont soumises aux irradiations, vont voir leur seuil décalé et leur courant de fuite augmenter.

D'autre part la présence de jonctions induit sous flash des photocourants qui sont proportionnels au débit de dose et au volume de collection. Ces photocourants polarisent les bases des structures bipolaires parasites à travers les différentes résistances (substrat, caisson), déclenchant ainsi le thyristor parasite PNP inclus dans la structure CMOS. Lorsque ce déclenchement intervient, un court-circuit est créé sur l'alimentation et celui-ci sera verrouillé tant que la tension aux bornes du thyristor demeure supérieure à la tension de maintien. il s'agit du phénomène de latch-up ou verrouillage maintenu. La porte dans laquelle intervient ce phénomène reste bloquée dans un état logique, occasionnant une perte de fonctionnalité, ou bien, lorsque le surcourant de court-circuit est trop important à l'intérieur du composant, une destruction du circuit .

3.1.2 LES TECHNOLOGIES BIPOLAIRES

Les technologies bipolaires (Fig(4)) sont sensibles aux différents modes d'interaction rayonnement matière:

- la dose intégrée engendre des fuites émetteur-collecteur par l'action sur les seuils de déclenchement des transistors MOS parasites de surface, inclus dans la structure bipolaire .
- le débit de dose, où les effets transitoires vont générer des photocourants dans l'ensemble des jonctions base-collecteur. Le volume de collection s'étend dans le substrat à travers les phénomènes de diffusion. Le gain du bipolaire vient amplifier ce photocourant primaire pour créer des photocourants secondaires souvent prohibitifs par rapport aux conditions de fonctionnement.
- La création de défaut est destructrice du gain du bipolaire, d'une part en diminuant la durée de vie dans la base et donc le coefficient de transport, d'autre part en augmentant les courants de fuite, l'efficacité d'injection de l'émetteur se trouvant alors dégradée.

3.1.3 LES TECHNOLOGIES ASGA

La faible sensibilité des technologies Arseniure de Gallium à la dose cumulée est principalement due à la structure MESFET utilisée le plus généralement, excluant dans les zones sensible (grille, isolation latérale) la présence d'isolants. Cependant au delà de 100Mrad, des défauts liés aux effets de déplacement apparaissent, limitant la mobilité et donc les niveaux de courant dans les circuits.

La vulnérabilité de cette technologie se situe principalement en débit de dose, en particulier le flash ionisant de la contrainte militaire. En effet le substrat arseniure de gallium semi-isolant lors du flash, devient photoconducteur ; la collection des porteurs générés va s'étendre en profondeur dans le substrat. On voit sur la Figure(4) la pénétration des lignes de champ dans le volume du substrat semi-isolant jusqu'à des profondeurs de quelques dizaines de microns. Pour une durée de vie de 5ns et une mobilité électronique de $4000 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, la profondeur de collection atteint environ $20 \mu\text{m}$, soit une valeur nettement plus importante que dans le cas de composants silicium, où pour les niveaux de dopage utilisés en VLSI, elle n'atteindrait que quelques microns. De plus les pièges qui ont été remplis pendant le flash donnent lieu lorsqu'ils réémettent leurs porteurs, à des composantes de photocourants retardées sur plusieurs millisecondes. Les composants AsGa usuels ne sont donc pas durcis au débit de dose.

figure n°4

3.2 VULNERABILITE DES CIRCUITS

La vulnérabilité d'un circuit proviendra, d'une part de la technologie, d'autre part des marges de conception qui sont prises par rapport aux modifications des paramètres, induites par

les rayonnements ionisants. Cette notion de marge est d'autant plus importante que les technologies seront utilisées dans des conditions proches de leur seuil de défaillance.

Ainsi le durcissement des technologies simplifie la tâche de conception, mais aussi la tâche de qualification, lorsque les limites d'utilisation sont suffisamment éloignées des seuils de vulnérabilité.

4. METHODES DE DURCISSEMENT

Face aux modes de vulnérabilité énoncés précédemment les solutions à apporter sont dans leur principe simple à énoncer :

Dans le cas de la dose cumulée, des isolants à faible coefficient de piégeage seront recherchés, afin de minimiser les dérives ; par exemple [5], la diminution de la température de l'ensemble des étapes de fabrication des technologies silicium facilitera l'obtention du dioxyde de silicium durci. Dans le cas des structures parasites, des marges importantes seront prises sur l'ajustement des seuils de déclenchement.

Dans le cas du débit de dose, le volume de collection des porteurs générés sera limité au maximum par des zones tampons à fort gap sous les parties actives des circuits intégrés qui sont de l'ordre de quelques centaines de nanomètre. Le substrat ne servira que de support mécanique et non plus actif.

Dans le cas de la génération de défaut, le choix d'une technologie à porteur majoritaire sera préférable. Ainsi une technologie du type FET sera toujours plus durcie qu'une technologie bipolaire pour ce type d'agression.

Figure(5) nous donnons un exemple de l'utilisation d'une couche tampon isolante dans le cadre des filières silicium sur isolant pour les technologies CMOS ou bipolaires. Ceci illustre la réduction importante du volume de collection apportée par cette technique.

figure n°5

4.1 DURCISSEMENT DES TECHNOLOGIES

4.1.1 LES TECHNOLOGIES CMOS

*Durcissement à la dose intégrée

Le décalage de tension de seuil pour un transistor NMOS est relié à la dose par la formule suivante:

$$\Delta V_t = - a e_{ox}^2 g D$$

e_{ox} représente l'épaisseur d'oxyde
 g le facteur d'interaction
 a le coefficient de piégeage
 D la dose cumulée

Cette relation simple permet une première constatation ; les oxydes fins seront plus naturellement durcis (oxyde de grille) par rapport aux oxydes épais (isolation latérale).

Durcissement de l'isolation latérale

Différents types d'isolations sont proposés dans la littérature pour améliorer l'isolation latérale dans les technologies conventionnelles : il s'agit le plus souvent de structures bicouches. Ce bicouche peut être formé: d'un nitrure sur un oxyde fin [7], d'un oxyde dopé sur un oxyde intrinsèque fin [8], ou d'une couche de polysilicium sur un oxyde fin [9] dans le but de former un écran électrostatique par rapport à des couches d'isolation se trouvant au dessus du polysilicium. Le principe est dans tous les cas d'obtenir le niveau de durcissement de l'oxyde fin sous-jacent, et l'isolation diélectrique équivalente au bicouche. Pour cela la couche superficielle doit avoir un coefficient de piégeage faible, c'est le cas du nitrure ou des oxydes fortement dopés, ou bien un écran de potentiel fixe doit être créé, c'est le cas des techniques avec polysilicium.

*Durcissement au débit de dose:

La création d'une couche tampon de fort gap peut se faire de deux façons: utilisation d'un substrat épitaxié fortement dopé, utilisation d'un oxyde pour des techniques silicium sur isolant tel que présenté Figure (5). Les substrats épitaxiés limitent le latch-up en diminuant les résistances d'accès dans la structure thyristor sans toutefois le supprimer totalement. Seule l'isolation diélectrique permet la suppression totale du phénomène de latch-up [10].

4.1.2 LES TECHNOLOGIES BIPOLAIRES

*Durcissement à la dose intégrée

Les transistors MOS parasites seront durcis de la même manière que l'isolation latérale des technologies CMOS. Les oxydes dans les technologies bipolaires sont en général des oxydes déposés dont le niveau de durcissement dépendra surtout du dopage.

*Durcissement au débit de dose

L'isolation diélectrique complète des transistors entre eux et vis à vis du substrat est la technique la mieux adaptée au durcissement au flash. Il s'agit là de la technique des caissons d'isolation qui est utilisée en production. De nouvelles méthodes de réalisation sont apparues aujourd'hui. La plus prometteuse semble être le WAFER BONDING qui consiste à "coller deux tranches de silicium dont l'une au moins possède un oxyde en surface[11]. On crée ainsi le tricouche silicium/oxyde/silicium permettant l'isolation diélectrique des composants vis à vis du substrat. On voit cependant qu'il faut amincir l'une des deux tranches de silicium de quelques centaines de microns à moins de 10 μm . La criticité de cette méthode ne réside pas dans l'amincissement car les techniques de rodage sont aujourd'hui très performantes mais dans la technique de collage où la moindre poussière interfaciale génère des défauts macroscopiques importants.

4.1.3 LES TECHNOLOGIES GaAs

Le durcissement recherché sera dans ce cas le débit de dose. L'idée de base est de réduire le volume de collection par l'adjonction entre le substrat et la couche active d'une couche tampon de plus grande largeur de bande interdite que le GaAs en l'occurrence le GaAlAs [12]. Ce type de durcissement s'insère dans les techniques modernes de formation d'hétérostructure; à partir du substrat semi isolant la couche tampon et la couche active dopée sont formées par MOVPE (épitaxie en phase vapeur aux organométalliques). D'autres couches tampons peuvent être utilisées soit par insertion de puits quantiques soit par l'utilisation de superréseaux toujours dans le but d'écranter au maximum la génération intervenant dans le substrat. Un exemple d'application a été développé en France (collaboration CEA-DAM, LEP).

5. EXEMPLE D'UNE TECHNOLOGIE CMOS DURCIE : LE SILICUM SUR ISOLANT

L'exemple que nous avons choisi fait intervenir deux types de durcissement :

- le durcissement intrinsèque par une action technologique sur le composant,
- le durcissement extrinsèque par une action de conception spécifique au niveau des circuits.

La technologie CMOS SOI [13] correspond à l'ensemble des critères de durcissement déjà énoncés, par la limitation du nombre des structures parasites, ainsi que par la réduction du volume de collection par création d'une couche tampon à fort gap (dans ce cas du SiO₂).

Nous exposons ici des résultats obtenus sur la filière HSOI3HD développée au CEA (collaboration DAM-LETT) avec un soutien DGA et en production aujourd'hui chez THOMSON (TMS). La technique d'obtention du matériau SOI de départ est l'implantation d'oxygène SIMOX (Synthèse par IMplantation d'OXYgène)[14]. Les substrats nécessaires à cette technologie sont aujourd'hui produits au LETI.

* Durcissement à la dose cumulée:

En SOI trois types d'isolation sont impliquées dans la tenue aux irradiations: l'oxyde de grille, l'isolation latérale, l'oxyde enterré SIMOX. Les techniques pour durcir l'oxyde de grille sont les mêmes que pour les technologie MOS plus classiques. La tension de seuil de l'oxyde enterré dérive de 15V à 1Mrad(Si). Il est possible de compenser cette dérive en augmentant le niveau de dopage à l'interface oxyde enterré, silicium superficiel. La tension de seuil avant irradiation est ainsi ajustée à 30V[15]. Le problème principal reste l'isolation latérale.

Amélioration du durcissement de l'oxyde enterré:

Les nitrures et oxynitrures semblent être des voies intéressantes pour le durcissement de l'oxyde SIMOX[16]. En effet, les résultats publiés sur les implantations combinées d'oxygène et d'azote permettent d'obtenir des dérives de 3,7V sur la tension de seuil de l'oxyde

enterré mais cela uniquement lorsqu'une contrepolarisation de l'ordre de -3 à -5V, est appliquée sur le substrat. Les conditions d'implantation donnant les meilleurs résultats sont $2 \cdot 10^{18} / \text{cm}^2$ [O+] et $5 \cdot 10^{16} / \text{cm}^2$ [N+]. L'utilisation d'une contre-polarisation est cependant une limite de la méthode car au niveau des produits, une deuxième alimentation sera nécessaire. Celle-ci sera générée par pompe à diode ou amenée par une sortie extérieure rendant plus complexe la réalisation du circuit ou du système selon le cas.

Une autre méthode est de créer à l'interface oxyde enterré/silicium actif des états d'interface. Ceux-ci ont pour effet d'écranter les dérives liées au piégeage de charge dans l'oxyde en fixant le potentiel à l'interface. La méthode utilisée pour créer ces états d'interface est de décroître la température de formation de l'oxyde enterré après implantation d'oxygène. Il a été démontré que par cette méthode une couche d'interface polycristalline se forme ; des doses de 2Mrad (Si) ont pu être atteintes. Cette technique est cependant limitée à des technologies de dimension critique de plusieurs microns car le niveau des courants de fuite de jonction est augmenté de façon significative [17].

Durcissement de l'isolation latérale

La méthode la plus utilisée en SOI n'est cependant pas du type technologique comme celles précédemment mentionnées dans le cas des filières CMOS, mais du type design. Cette technique porte le nom de "prise substrat latérale" ou ISOCONTACT [18] [19]. Elle consiste à utiliser une isolation latérale conventionnelle non durcie et à adjoindre une zone de fort dopage du même type que le canal mais dans la région de la source du transistor Fig(6). Le durcissement est ainsi obtenu par le design spécifique de cette zone d'isolation. Par l'utilisation d'une telle technique nous avons démontré sur la filière HSOI3HD un niveau de durcissement de l'ordre de 10Mrad sans modification majeure des caractéristiques avec des fonctionnalités maintenues au delà de 100Mrad(Si) sur des circuits microprocesseur 16bits de 15000 transistors [20]. La Figure(7) montre des caractéristiques d'interrupteur MOS avant et après une irradiation de 3Mrad(Si) en Cobalt 60. Le décalage de tension de seuil est inférieur à 300mV pour le N et le PMOS sans augmentation du niveau de fuite. La tenue à la dose intégrée de la filière HSOI3HD développée en France constitue pour l'instant un record.

figure n°6 et 7

*Durcissement au débit de dose

La technologie SOI est retenue pour ses caractères naturels comme la filière la mieux adaptée au débit de dose et aux ions lourds. Le volume de génération est en effet réduit de plusieurs décades par rapport aux filières CMOS conventionnelles de par l'isolation diélectrique complète des dispositifs. Ainsi les effets du type latch-up sont totalement supprimés. Le volume de collection est limité par l'oxyde enterré et grâce à l'utilisation d'une zone de silicium actif dont l'épaisseur peut être réduite à quelques 100nm. Le gain est surtout flagrant lorsque les jonctions des régions source-drain atteignent l'oxyde enterré. On passe alors d'une dépendance

surfacique à une dépendance linéique sur les dimensions des zones de collection. Il s'agit là de l'originalité de la technologie développée en France, qui utilise des couches de silicium de 150nm pour réaliser les transistors actifs.

Les ISOCONTACT précédemment cités vont aussi améliorer la tenue au débit de dose en limitant le gain du bipolaire parasite inclus dans la structure MOS. Les résultats en SEU sur la filière française Fig(8) montrent le gain important de la technologie développée par rapport aux technologies bulk ou SOI plus conventionnelles. Plus généralement, cet avantage sera maintenu pour le durcissement aux effets transistoriques dont le flash gamma.

Cette technologie CMOS -SOI est la moins vulnérable parmi les technologies existantes pour l'ensemble des agressions liées aux rayonnements ionisants. Elle correspond à la mise en oeuvre de l'ensemble des techniques de durcissement connues à ce jour et permet de répondre au spectre le plus large des applications dans le domaine du durcissement.

figure n°8

6. CONCLUSION

Les méthodes de durcissement des circuits intégrés vont des plus simples : le blindage par exemple, aux plus complexes en agissant directement sur les technologies à la base de ces composants comme nous venons de le démontrer. Chaque cas doit donc être étudié et le coût est certainement le paramètre prépondérant pour guider les choix en fonction d'un cahier des charges donné.

Cependant, face à la complexité croissante des technologies où plusieurs millions de transistors pourront être réalisés sur le même silicium, le durcissement d'un circuit intégré sera de plus en plus lié à la technique de fabrication de l'élément de base (FET ou Bipolaire) et donc à la technologie. Le durcissement des technologies apparaît donc comme un élément de simplification du durcissement des circuits intégrés et donc plus généralement des systèmes car il relâche les contraintes sur la conception et la qualification qui sont prohibitives dans le cas des circuits complexes.

Cela motive les nombreux développements dans le domaine du durcissement des technologies pour lesquels la France est bien placée dans la compétition internationale.

Bibliographie

- [1] R.L.CAROVILLANO, J.F.McCLAY, H.R.RADOSKI Physics of the magnetosphere Dordrecht 1968
- [2] H.HUGHES, historical perspective, p.47 Ionizing radiation effects in MOS devices and circuits, John Wiley & Sons, 1989
- [3] M.FRICAUD, Qu'est ce que le durcissement d'une ogive nucléaire?, Clefs-CEA, Revue scientifique et technique du CEA n° 18 P.22 1990

- [4] O.MUSSEAU, Effets des ions lourds énergétiques sur les circuits intégrés. Application au cas de circuits MOS, MOS sur isolant, et GaAs, Thèse de doctorat en Sciences, Université de Paris XI 18/01/1991
- [5] J.L.LERAY Contribution à l'étude des phénomènes induits par les rayonnements ionisants dans les structures à effets de champ au silicium et à l'Arseniure de Gallium utilisées en microélectronique, Thèse de doctorat d'état es Sciences physiques, Université de Paris XI, n°3576 8/12/1989
- [6] B.W.HUGHLOCK, G.S.LARUE, A.H.JOHNSTON, IEEE Trans.on Nuclear Science Vol.37 N°6 1990
- [7] F.L.TERRY, R.J. AUCOIN, M.L.NAIMAN, S.D. SENTURIA, IEEE Elect. Dev. letters Vol.EDL4 p.191 1983
- [8] K.KASAMA, F.TOYOKAWA, M.SAKAMOTO, K.KOBAYASHI, IEEE trans.on nuclear sciences VOL.NS32, N°6 1985
- [9] L.MANCHANDA, S.J.HILENIUS, W.T.LYNCH, HONG-HI CONG, K.K.NG, R.L.FIELD, IEEE Trans.on Elect.Dev Vol.36 n°4 p.651 1989
- [10] C.LEROUX contribution à l'étude du phénomène de LATCH-UP dans les technologies CMOS, Thèse de doctorat, n° 88 ISAL 0071, INSA LYON 1988.
- [11] J.M.Mc NAMARA, J.S.RABY proceedings IEEE SOS/SOI technology workshop 1988
- [12] E.DUPONT-NIVET, Y.M.COIK, T.F.FRIJLINK, J.L.NICOLAS, Durcissement au débit de dose des composants AsGa par couche tampon à hétérostructure GaAs/GaAlAs Annales de Physique colloque n°1 supplément du volume n°14 Dec 1989 p 589
- [13] A.J.AUBERTON-HERVE Etude de la faisabilité d'une filière CMOS micronique sur silicium sur isolant, Thèse de doctorat, n°ECL8607, Ecole Centrale de Lyon 1986.
- [14] J.MARGAIL, J.STOEMINOS, C.JAUSSAUD, M.BRUEL, European SOI workshop, CNET grenoble 1988
- [15] A.J.AUBERTON-HERVE, proceedings of the fourth international symposium on Silicon On Insulator technology and device volume 90-6 Electrochemical Society 1990
- [16] B.Y.MAO, C.E.CHEN, G.POLLACK, H.L.HUGHES, G.E.DAVIS, IEEE trans.on nuclear sciences 1987 n°6 p.1692
- [17] T.OHNO, K.IZUMI, Elec. letters 1987 Vol.23 N.4 p.141
- [18] J.TIHANIL, H.SCHLOTTERER IEEE trans.on elect. dev. ED22 1975
- [19] A.J.AUBERTON-HERVE, proceedings IEEE SOS/SOI technology workshop p.55 1988
- [20] J.L.LERAY & al, A.J.AUBERTON-HERVE & al, IEEE trans.on nuclear sciences n°6 p.1355 1988
- [21] G.E.DAVIS, L.M.HITE, T.G.BLAKE, C.E.CHEN, H.W.LAM, R.DEMOYER, IEEE Trans. on nuclear science, Vol 6 dec 1985

Technologies seuil de vulnérabilité	CMOS Bulk	typique CMOS SOI 64K SRAM HONEYWELL(*)	AsGa	BIPOLAIRE	
dose cumulée rad (matériau)	>1krad tolérant 1Mrad filière spécifique	1-100Mrad(Si) filière spécifique	10Mrads(Si)	10M ----> 100Mrad	30krad
débit de dose rad(matériau)/s	10^7 latch-up	$>>10^{10}$ Upset	10^{11} Upset $>10^{13}$ Survivability	10^8 Upset	10^7 Upset
SEU erreurs/bit/jour	10^{-5}	$<10^{-8}$	10^{-10}	10^{-6} (**)	10^{-4}
neutrons équivalents 1MeV neutrons/cm ²	$>10^{14}$	$>10^{14}$	$>10^{14}$	$>10^{14}$	10^{11} linéaire 10^{13} logique

* annonce produit

** 10^{-3} a été publié [6]

Tableau 1 : comparaison en durcissement de différentes filières technologiques

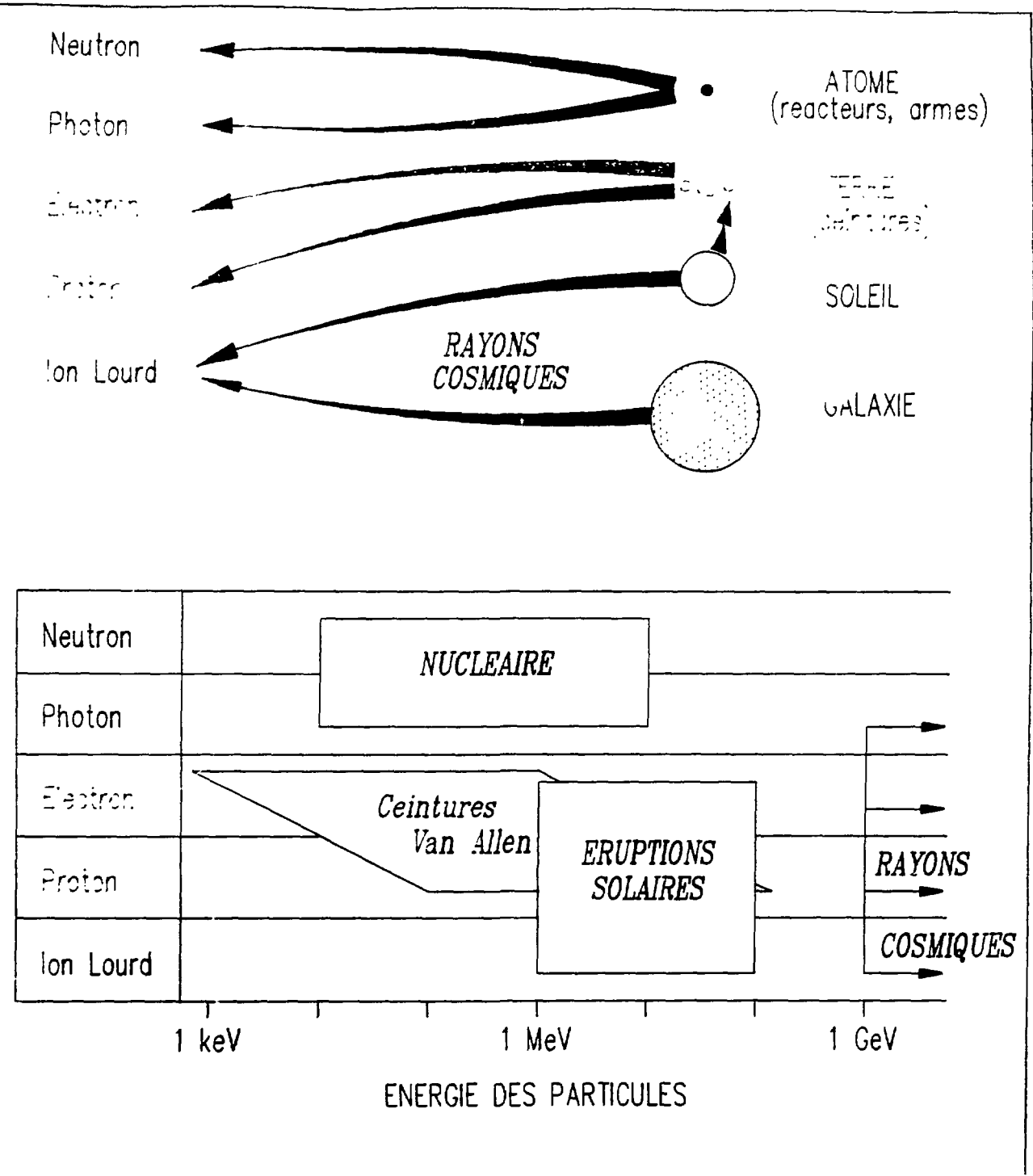


Figure 1 : les sources de rayonnement

14

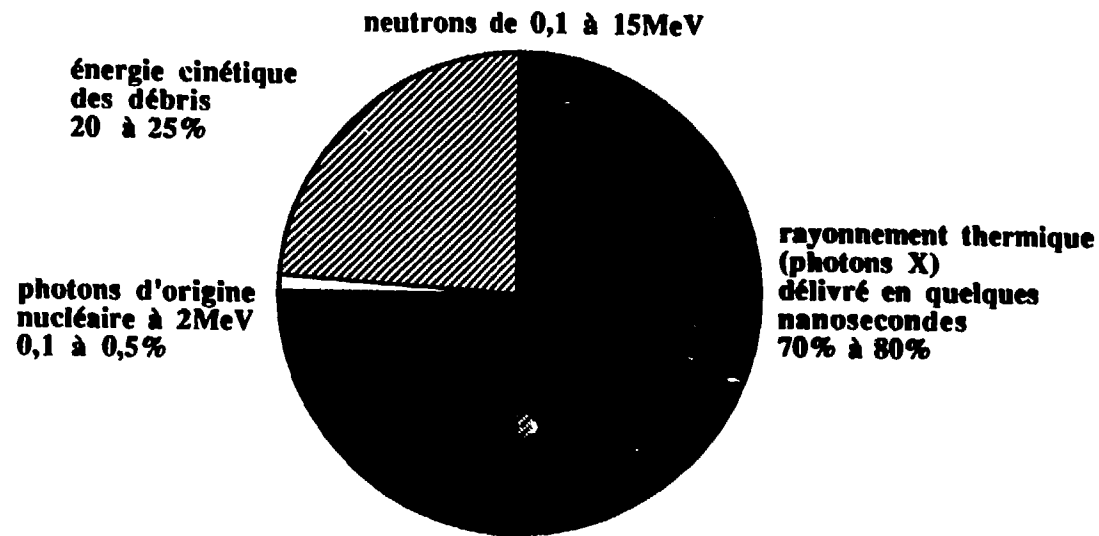


Figure n°2 principaux effets d'une explosion thermonucléaire; rayonnements induits

14

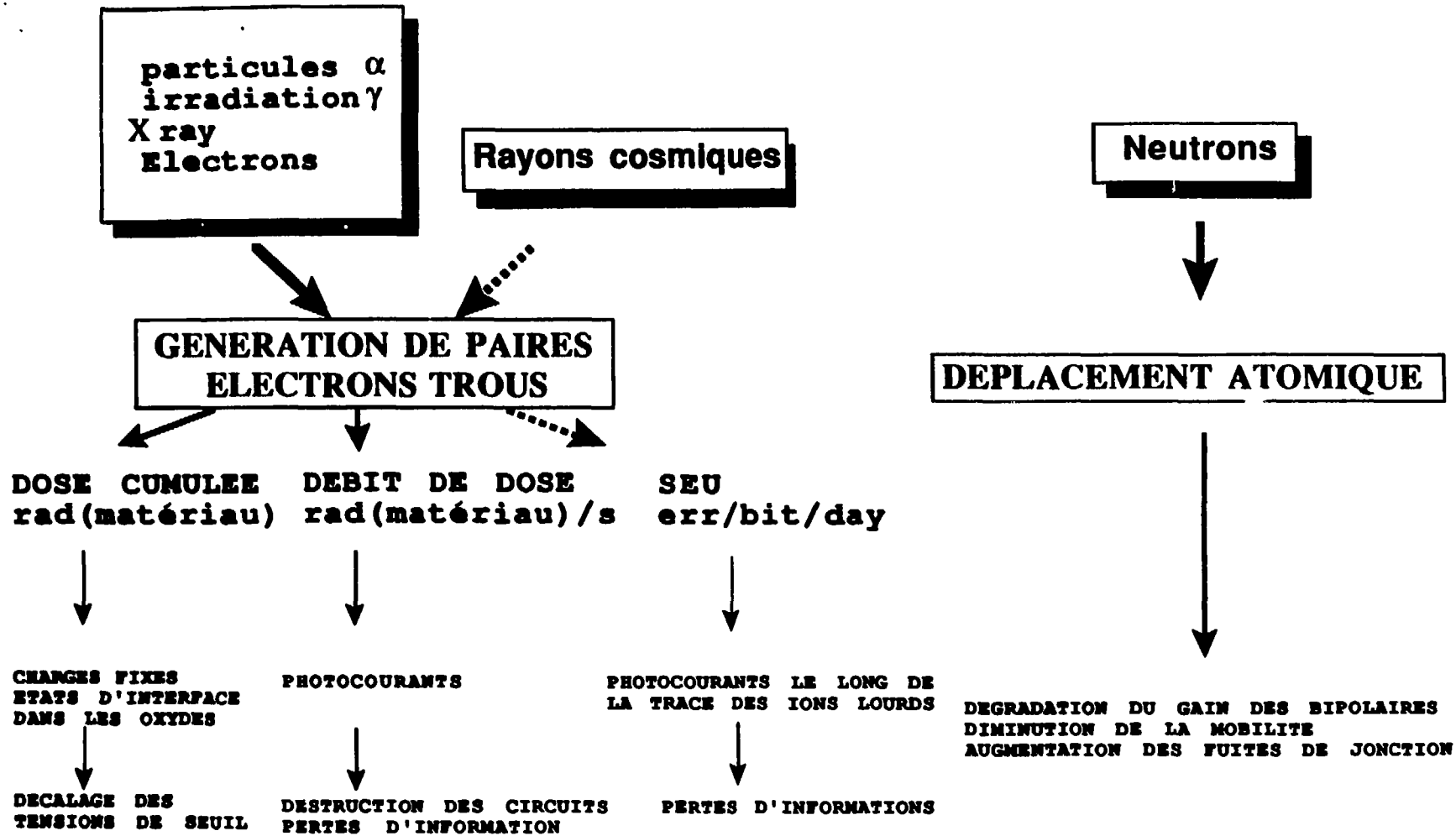


Figure n°3: interaction rayonnement matière et principaux effets sur les circuits intégrés

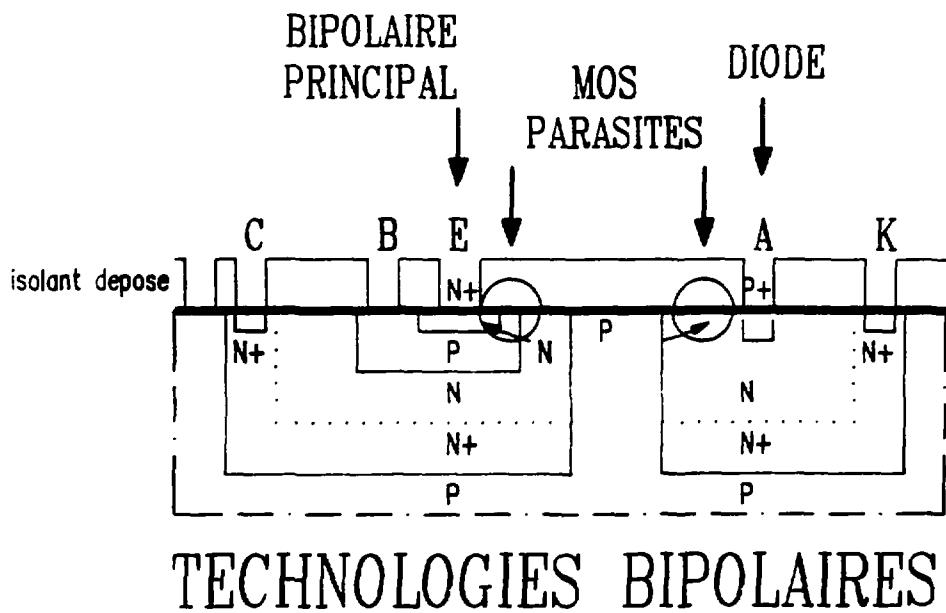
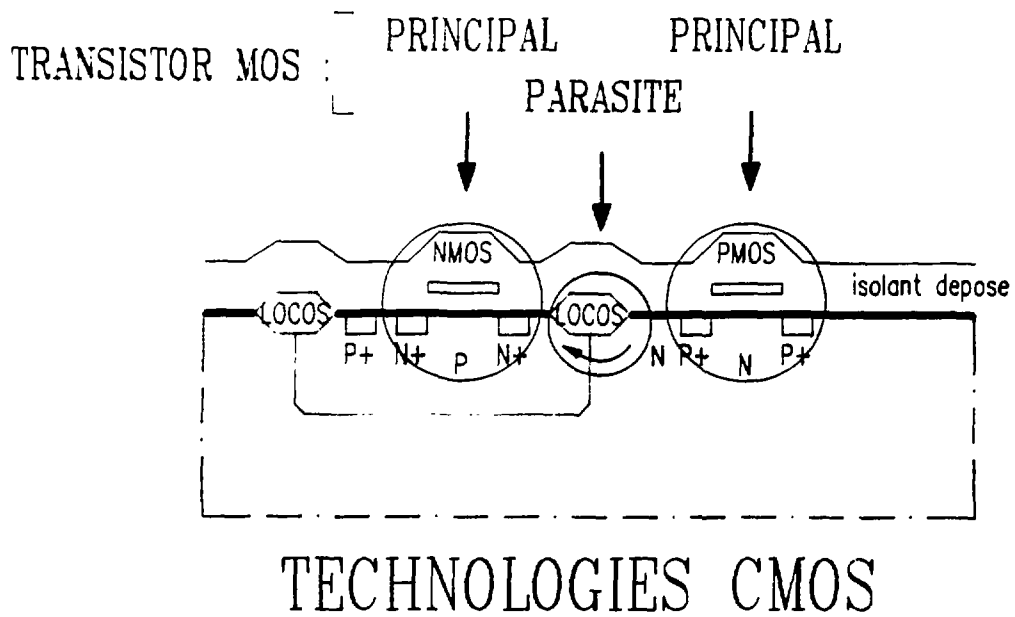
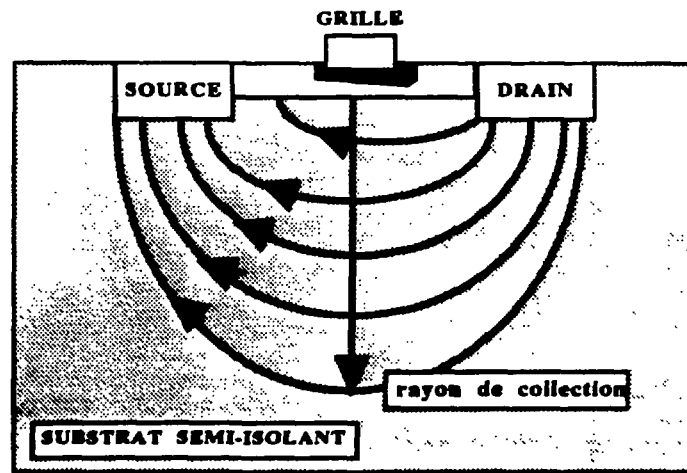
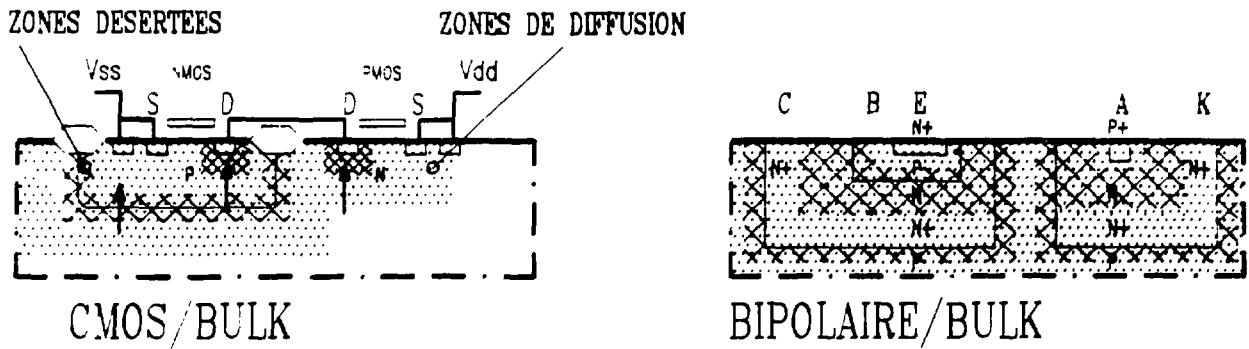


Figure 4 (a): Vulnérabilité de différentes technologies : la dose intégrée

Volumes de generation de Photocourants

CMOS - BIPOLAIRES



GaAs

Figure 4 (b): Vulnérabilité de différentes technologies : débit de dose.

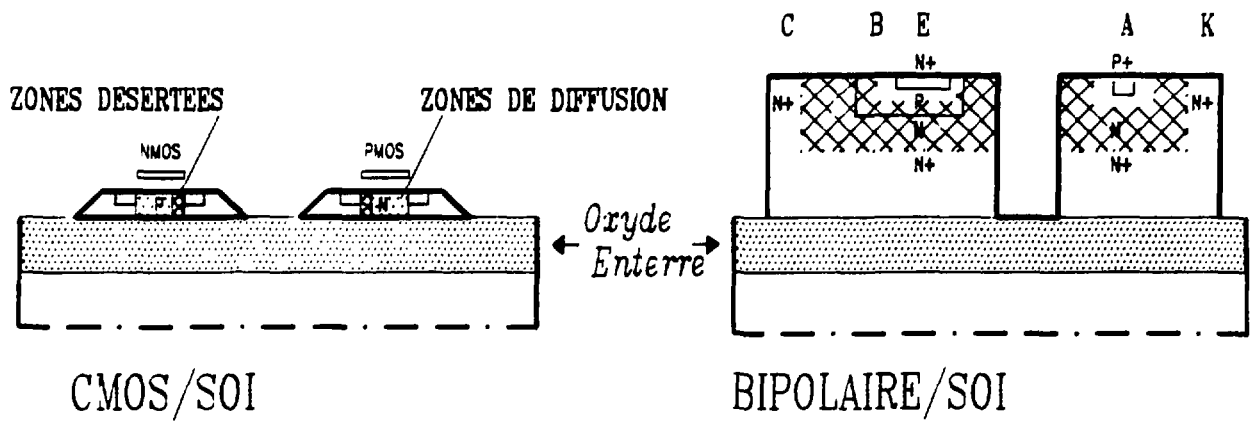


Figure 5 : Exemple de durcissement par diminution du nombre de structures parasites et par réalisation d'une couche tampon limitant le volume de collection : les technologies silicium sur isolant (SOI Silicon On Insulator)

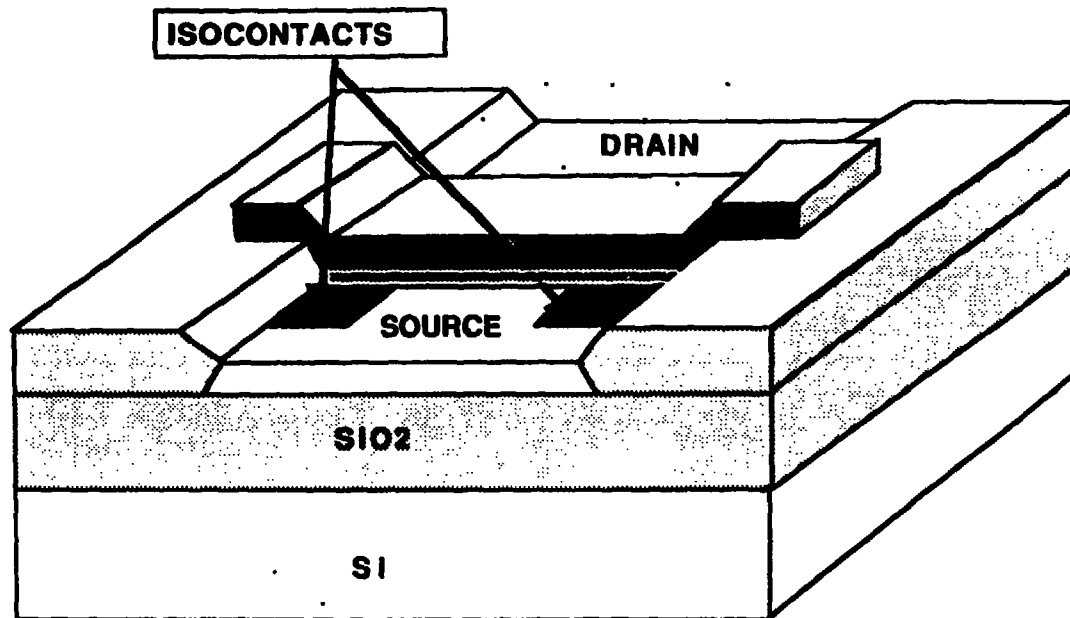


Figure (6): principe de l'isolation latérale par ISOCONTACT dans les technologies SOI

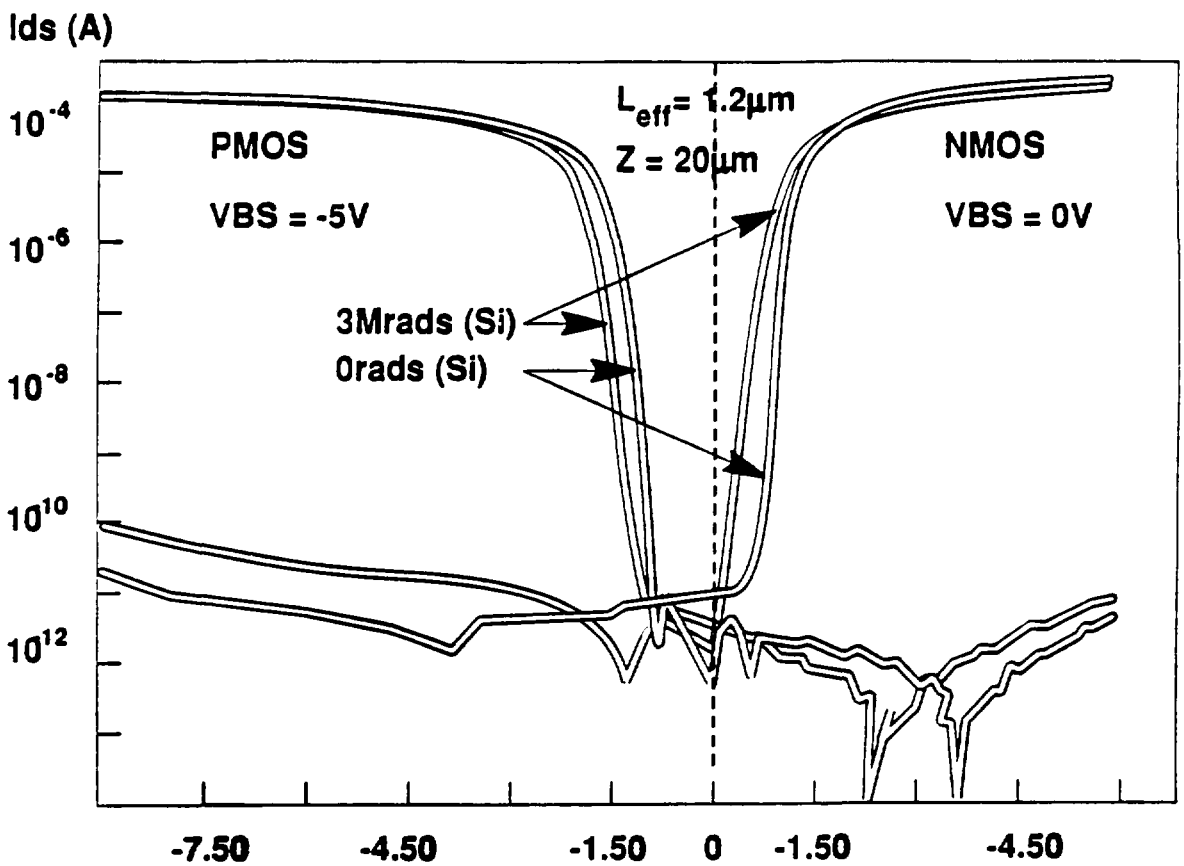
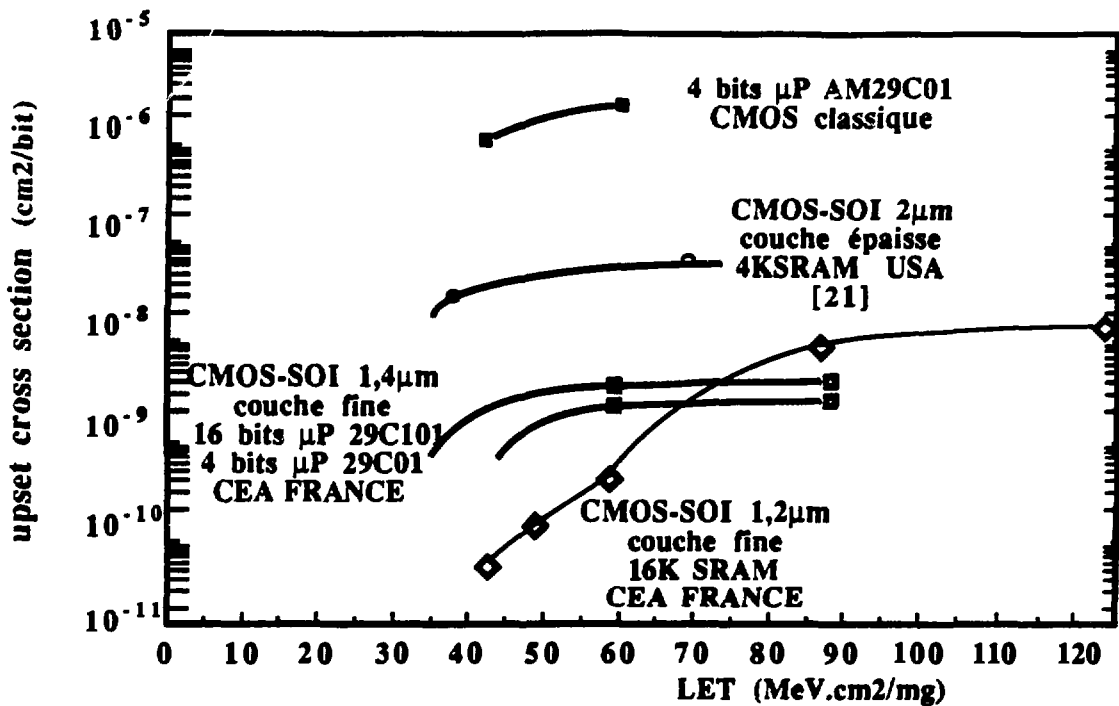


Figure 7: isolation latérale par ISOCONTACT dans le cas des technologies CMOS-SOI. Caractéristiques de transistors NMOS et PMOS pour une irradiation de 3Mrad(Si) utilisant une source Cobalt 60.



SUR UNE ORBITE GEOSTATIONNAIRE:

16K SRAM	CMOS SOI	1E-9 Error/bit/day
29C101/29C01	CMOS SOI	7E-10 " " "
AM29C01	CMOS	>2E-6 " " "
2901	LS/TTL ou ECL	>2E-3 " " "

Figure n° 8: comparaison des sections efficaces de basculement en fonction de l'énergie absorbée. Calcul du SEU de ces différents circuits dans le cas d'une orbite géostationnaire à partir des mesures de section efficace.